

明細書

プリント回路配線基板設計支援装置及びプリント回路基板設計方法 並びにそのプログラム

技術分野

本発明は、プリント回路配線基板設計支援装置及びプリント回路基板設計方法並びにそのプログラムに係わり、特に不要電磁輻射やノイズによる回路誤動作を抑制するためのパスコンデンサの配置を最適化するための技術的な手法を改善したプリント回路配線基板設計支援装置及びプリント回路基板設計方法並びにそのプログラムに関する。

背景技術

本発明に関する現時点での技術水準をより十分に説明する目的で、本願で引用され或いは特定される特許、特許出願、特許公報、科学論文等の全てを、ここに、参照することでそれらの全ての説明を組入れる。

プリント回路基板はＩＣやＬＳＩなどの電子部品とそれらの部品を接続する信号配線などから構成され、電子機器の心臓部としてほとんど全ての機器に搭載されている。多層プリント回路基板ではＩＣやＬＳＩが動作するために必要な直流電圧を供給する電源配線と回路の基準電位を提供するためのグランド配線で構成された電源供給系が含まれており、これらの電源供給系の高周波における電位変動はしばしば、ＩＣやＬＳＩの誤動作や高いレベルの不要電磁波放射を発生させる要因となっていた。

この電源供給系の電位変動を抑制するため、最も多く採用されている手法は基板の表面にキャパシタを実装し、その両端を電源、グランドに接続して電圧変動を吸収する方法である。

例えば、プリント回路基板の設計方法、プリント回路基板およびプリント回路基板を備える電子機器においては、図1 A及び図1 Bに示すように絶縁基板80を介して表面(図1 A)と裏面(図1 B)に印刷回路パターンを形成した2層プリント配線基板81上に電子回路素子を実装するために、表面にランドを配設し、電子回路素子の内側部位までのグランドパターン84を配設し、基幹の基幹電源パターン82を配設し、基幹電源パターンから分岐し、電子回路素子の内側部位まで延設し、スルーホール85を介してランドの一部に分岐電源パターン83を接続し、分岐電源パターン83近傍に配設されるキャパシタとの間で形成されるインダクタンスよりも分岐電源パターンと基幹電源パターンとの間で形成されるインダクタンスが大きくなようようにインダクタンスパターンを形成された構造が採用されていた。この従来技術は、特開平9-54788号公報、段落番号「0032」乃至「0034」及び図1に開示される。

また、電子回路部品の電源パターン接続構造においては、図2 A、図2 B及び図2 Cに示すように、プリント配線基板91上に実装されたLSI92の電源ピン93、グランドピン94両端子のそれぞれに接続されかつ電源層(電源プレーン)95とグランド層(グランドプレーン)96からの供給電流を流すための第1の電源パターン97、98と第1のグランドパターン99、100よりなる配線パターンと、二つの配線パターンに接続されかつLSI92と同じプリント回路基板上またはその裏面上に実装されたキャパシタ101とを備えた電子回路部品の電源パターン接続構造において、電源層95はキャパシタ101の一端との間に設けた第2の電源パターン98とビアホール103で接続し、グランド層96は、第1のグランドパターン99、100とビアホール104で接続した構造が採用されていた。この従来技術は、特開2000-156548号公報、段落番号「0005」及び図1に開示される。

さらに、現在、ほとんどのプリント回路基板はCAD(Computer Aided Design)システムを用いて設計されるが、このCADシステムを有

効に利用し、プリント回路基板の設計段階においてキャパシタを自動的に配置するシステムも提案されている。

例えば、プリント基板配置処理装置においては、図3に示すように、入力部111、演算処理部112、データ記憶部113、配置処理部114を備え、入力部111を介してバイパスコンデンサ付加条件入力部115に入力されたキャパシタ付加条件に基づき、配置処理部114内の対象IC検索部116において、キャパシタを付加すべきICを検索し、バイパスコンデンサ自動付加部117において、入力部111を介して入力されたキャパシタ付加条件に基づいて、対象IC検索部116にて検索されたICに対してキャパシタの付加を人手によらずに、条件を入力するだけで自動的に行なう。この従来技術は、特開2000-99560号公報、段落番号「0017」及び図1に開示される。

また、放射ノイズ防止プリント基板配置配線処理システムにおいては図4に示すように、入出力装置120、入力部121、演算処理部122、データ記憶部123、配置配線処理部124を備える。配置配線処理部124は、更に、電子部品の電源ピンを抽出する電子部品電源ピン抽出部125、電源ピンから電源のビアホールまでに配線パターンを抽出する配線パターン抽出部126、抽出された配線パターンの線長、線幅を検査する線長、線幅検査部127、キャパシタの追加が可能か検査するパスコン追加可能性検査部128、現状の配線経路でキャパシタが追加可能な場合キャパシタ追加可能とする配線経路があるか検査する配線経路変更可能検査部129と、配線経路を変更する配線経路変更実行部130、パスコン追加実行部131、配線経路を変更してもキャパシタが追加不可能な場合エラー表示するエラー表示部132を備える。この従来技術は、特特開2000-35976号公報、段落番号「0009」、「0015」及び図1)に開示される。

しかしながら、高密度実装化の進展にともない、BGA (Ball Grid Array) と呼ばれる高密度な配線を必要とするLSIパッケージなどを用いる場合が増加しており、図1A、図1B、図2A、図2B及び図2Cに示すようなキ

ャパシタの搭載構造を実現することが難しくなってきた。

また、キャパシタが自動的に付加される場合においても、キャパシタの搭載位置と不要電磁波放射の抑制や回路の誤動作防止との関係が明確にされていないため、その構造が最適であるか否かを判断することはできなかった。

発明の開示

本発明の目的は、従来の基板の設計手法、構造を維持しながら、不要電磁波放射や回路の誤動作を抑制するためのキャパシタの配置を自動的に検査し、基板レイアウトの最適化を図るためのプリント回路基板設計支援技術を提供することである。

即ち、本発明の目的は、従来の基板の設計手法、構造を維持しながら、不要電磁波放射や回路の誤動作を抑制するためのキャパシタの配置を自動的に検査し、基板レイアウトの最適化を図るためのプリント回路配線基板設計支援装置を提供することである。

更に、本発明の目的は、従来の基板の設計手法、構造を維持しながら、不要電磁波放射や回路の誤動作を抑制するためのキャパシタの配置を自動的に検査し、基板レイアウトの最適化を図るためのプリント回路基板設計方法を提供することである。

更に、本発明の目的は、従来の基板の設計手法、構造を維持しながら、不要電磁波放射や回路の誤動作を抑制するためのキャパシタの配置を自動的に検査し、基板レイアウトの最適化を図るためのプリント回路基板設計方法を実行するためのプログラムを提供することである。

本発明の主旨の第1の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、前記電源プレーンおよび前記グラ

ンドプレーンの構造を抽出するプレーン構造抽出部と、前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出部と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、前記ビアホールおよび前記キャパシタ間の距離を計測する計測部と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値と、前記計測部により計測された前記ビアホールおよび前記キャパシタ間の計測距離との比較を行う距離比較部と、前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置を提供する。

前記許容距離範囲の上限値はテーブルとして表示してもよいし、数式として表示してもよい。

本発明の主旨の第2の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出部と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成部と、前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査部と、前記円内にキャパシタが存在しない場合には警告を発生する警告

発生部とを含むプリント回路配線基板設計支援装置を提供する。

本発明の主旨の第3の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出部と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成部と、前記円内の前記キャパシタの個数を数え、数えた個数と、該許容距離範囲の上限値に対して必要なキャパシタの個数とを比較するキャパシタ個数検査部と、前記円内のキャパシタが必要な個数を満たさない場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置を提供する。

本発明の主旨の第4の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出部と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、

前記電源ピンおよび前記キャパシタ間の距離を計測する計測部と、前記計測部により計測された前記電源ピンおよび前記キャパシタ間の計測距離と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値との比較を行う距離比較部と、前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置を提供する。

前記許容距離範囲の上限値はテーブルとして表示してもよいし、数式として表示してもよい。

本発明の主旨の第5の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出部と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成部と、前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査部と、前記円内にキャパシタが存在しない場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置を提供する。

本発明の主旨の第6の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する

能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出部と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成部と、前記円内に存在する全てのキャパシタの容量値の合計が基準値を超えているか否かを検査するキャパシタ容量検査部と、前記容量値の合計が前記基準値を超えていない場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置を提供する。

本発明の主旨の第7の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記ビアホールおよび前記キャパシタ間の距離を計測する計測工程と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値と、前記計測部により計測された前記ビアホールおよび前記キャパシタ間の計測距離との比較を行う距離比較工程と、前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生工程と

を含むプリント回路配線基板設計方法を提供する。

前記許容距離範囲の上限値をテーブルとして表示してもよいし、数式として表示してもよい。

本発明の主旨の第8の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成工程と、前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査工程と、前記円内にキャパシタが存在しない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法を提供する。

本発明の主旨の第9の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続

するビアホールを抽出するビアホール抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成工程と、前記円内の前記キャパシタの個数を数え、数えた個数と、該許容距離範囲の上限値に対して必要なキャパシタの個数とを比較するキャパシタ個数検査工程と、前記円内のキャパシタが必要な個数を満たさない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法を提供する。

本発明の主旨の第10の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記電源ピンおよび前記キャパシタ間の距離を計測する計測工程と、前記計測部により計測された前記電源ピンおよび前記キャパシタ間の計測距離と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値との比較を行う距離比較工程と、前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法を提供する。

前記許容距離範囲の上限値をテーブルとして表示してもよいし、数式として表示してもよい。

本発明の主旨の第11の側面は、信号配線、電源プレーン及びグランドプレーン

を含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成工程と、前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査工程と、前記円内にキャパシタが存在しない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法を提供する。

本発明の主旨の第12の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成工程と、前記円内に存在する全てのキャパシタの容量値の合計が基準値を超えているか否かを検査するキャパシタ容量検査工程と、前

記容量値の合計が前記基準値を超えていない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法を提供する。

本発明の主旨の第13の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記ビアホールおよび前記キャパシタ間の距離を計測する計測工程と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値と、前記計測部により計測された前記ビアホールおよび前記キャパシタ間の計測距離との比較を行う距離比較工程と、前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラムを提供する。

前記許容距離範囲の上限値をテーブルとして表示してもよいし、数式として表示してもよい。

本発明の主旨の第14の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記

グラウンドプレーンの構造を抽出するプレーン構造抽出工程と、前記電源プレーンおよび前記グラウンドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、前記電源プレーンおよび前記グラウンドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記電源プレーンおよび前記グラウンドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成工程と、前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査工程と、前記円内にキャパシタが存在しない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラムを提供する。

本発明の主旨の第15の側面は、信号配線、電源プレーン及びグラウンドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グラウンドプレーンの構造データと、前記電源プレーンおよび前記グラウンドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グラウンドプレーンの構造を抽出するプレーン構造抽出工程と、前記電源プレーンおよび前記グラウンドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、前記電源プレーンおよび前記グラウンドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記電源プレーンおよび前記グラウンドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成工程と、前記円内の前記キャパシタの個数を数え、数えた個数と、該許容距離範囲の上限値に対して必要なキャパシタの個数とを比較するキャパシタ個数検査工程と、前記円内のキャパシタが必要な個数を満たさない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラムを提供する。

本発明の主旨の第16の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記電源ピンおよび前記キャパシタ間の距離を計測する計測工程と、前記計測部により計測された前記電源ピンおよび前記キャパシタ間の計測距離と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値との比較を行う距離比較工程と、前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラムを提供する。

前記許容距離範囲の上限値をテーブルとして表示してもよいし、数式として表示してもよい。

本発明の主旨の第17の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出

工程と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成工程と、前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査工程と、前記円内にキャパシタが存在しない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラムを提供する。

本発明の主旨の第18の側面は、信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成工程と、前記円内に存在する全てのキャパシタの容量値の合計が基準値を超えているか否かを検査するキャパシタ容量検査工程と、前記容量値の合計が前記基準値を超えていない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラムを提供する。

図面の簡単な説明

図1Aは、従来の技術により設計されたプリント回路基板の表面側を示す平面図である。

図1Bは、従来の技術により設計されたプリント回路基板の裏面側を示す平面図

である。

図 2 A は、従来の技術により設計されたプリント回路基板の電子回路部品の電源パターン接続構造を示す平面図である。

図 2 B は、図 2 A の A - A 線に沿った部分縦断面図である。

図 2 C は、図 2 A の B - B 線に沿った部分縦断面図である。

図 3 は、従来のプリント基板配置処理装置の構成を示すブロック図である。

図 4 は、放射ノイズ防止プリント基板配置配線処理システムの構成を示すブロック図である。

図 5 は、本発明の第 1 の実施の形態によるプリント回路配線基板設計支援装置の構成を示すブロック図である。

図 6 は、本発明の第 1 の実施の形態によるプリント回路配線基板設計方法を示すフローチャートである。

図 7 は、本発明の第 1 の実施の形態による実装された多層プリント回路基板の斜視図である。

図 8 A は、本発明の第 1 の実施の形態による異なるレベルの配線間を接続するビアホールとキャパシタとを有する 4 層プリント回路基板の部分縦断面図である。

図 8 B は、図 8 A の配線の影響を説明するための等価回路図である。

図 9 A は、異なるレベルの配線間を接続するビアホールを有する多層プリント回路基板の断面構造を示す模式図である。

図 9 B は、異なるレベルの配線間を接続するビアホールとキャパシタとを有する多層プリント回路基板の断面構造を示す模式図である。

図 9 C は、図 9 A の構造における不要電磁波放射レベルを示す図である。

図 9 D は、図 9 B の構造における不要電磁波放射レベルを示す図である。

図 10 A は、ビアホールおよびキャパシタ間の距離と電源、グランド両プレーン間に発生する電圧の関係をプレーン間隔をパラメータとして示した図である。

図 10 B は、各許容電圧上昇値に対する電源、グランドプレーン間隔とビアホー

ルおよびキャパシタ間距離との関係を示した図である。

図 1 1 は、本発明の第 1 の実施の形態の第 1 の変更例によるプリント回路配線基板設計支援装置の構成を示すブロック図である。

図 1 2 は、図 1 1 の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。

図 1 3 A は、本発明におけるプリント回路基板上の信号配線とビアホール、およびキャパシタの配置を示した模式図である。

図 1 3 B は、図 1 3 A において、搭載するキャパシタの数を変えたときのビアホールおよびキャパシタ間の距離と電源、グランド両プレーン間に発生する電圧の関係を示した図である。

図 1 4 は、本発明の第 1 の実施の形態の第 2 の変更例によるプリント回路配線基板設計支援装置の構成を示すブロック図である。

図 1 5 は、図 1 4 の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。

図 1 6 は、本発明の第 2 の実施の形態によるプリント回路配線基板設計支援装置の構成を示すブロック図である。

図 1 7 は、図 1 6 の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。

図 1 8 A は、本発明の第 2 の実施の形態による異なるレベルの配線間を接続するビアホールとキャパシタとを有する 4 層プリント回路基板の部分縦断面図である。

図 1 8 B は、図 1 8 A において、LSI と電源ピン、キャパシタの関係を示した図である。

図 1 8 C は、図 1 8 A のプリント回路基板の電源、グランドプレーン、LSI、キャパシタの等価回路図である。

図 1 9 は、ビアホールおよびキャパシタ間の距離とインダクタンスの関係をプレーン間隔をパラメータとして示した図である。

図 2 0 A は、L S I がスイッチングする際に電源側に流れる電流の波形を示した図である。

図 2 0 B は、インダクタンスの両端に発生する電圧の波形を示した図である。

図 2 0 C は、各インダクタンス値を得るための電源、グランドプレーン間隔と電源ピンーキャパシタ間距離の関係を示した図である。

図 2 1 は、本発明の第 2 の実施の形態の第 1 の変形例におけるプリント回路配線基板設計支援装置の構成を示すブロック図である。

図 2 2 は、図 2 1 の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。

図 2 3 は、プリント回路基板上に搭載された L S I とその電源ピンおよびキャパシタの配置を示した図である。

図 2 4 は、本発明の第 2 の実施の形態の第 2 の変形例におけるプリント回路配線基板設計支援装置の構成を示すブロック図である。

図 2 5 は、図 2 4 の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。

発明を実施するための最良の形態

以下に本発明の実施の形態を図を用いて説明する。

(第 1 の実施の形態)

本発明の第 1 の実施の形態につき以下説明する。図 5 は、本発明の第 1 の実施の形態によるプリント回路配線基板設計支援装置の構成を示すブロック図である。

図 5 を参照すると、このプリント回路基板設計支援装置は、C P U (不図示) の制御の下に動作する制御部 1 と、キー入力部および表示部を備える入出力部 2 と、後述するデータベースを格納する外部記憶装置 3 とを有する。

制御部 1 は、レイアウトデータ入力部 1 1、プレーン構造抽出部 1 2 と、ピアホ

ール抽出部 1 3 と、キャパシタ抽出部 1 4 と、距離計測部 1 5 と、データベース 3 と、距離比較部 1 6 と、警告発生部 1 7 とを有する。

レイアウトデータ入力部 1 1 は、信号配線、電源プレーン、グランドプレーンを有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、L S I、I Cなどの能動デバイスやデカップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力部 2 を介して入力する。

プレーン構造抽出部 1 2 は、電源プレーンの構造及びグランドプレーンの構造を抽出する。

ビアホール抽出部 1 3 は、電源プレーンとグランドプレーンとを跨ぐように互いに異なるレベルで延在する配線間を接続するビアホールを抽出するものであり、プリント基板を貫通する導体の層間貫通構造を有するビアホールを抽出する。

キャパシタ抽出部 1 4 は、電源プレーンおよびグランドプレーン間に接続されたキャパシタを抽出する。

距離計測部 1 5 は、ビアホールおよびキャパシタ間の距離を計測する。

データベース 3 は、ビアホールおよびキャパシタ間の許容距離値を記録したものである。

距離比較部 1 6 は、ビアホールおよびキャパシタ間の距離とデータベース 3 に記録された許容距離値との比較を行う。

警告発生部 1 7 は、ビアホールおよびキャパシタ間の距離が許容距離値よりも長い場合には警告を発生する。

図 6 は、本発明の第 1 の実施の形態によるプリント回路配線基板設計方法を示すフローチャートである。図 7 は、本発明の第 1 の実施の形態による実装された多層プリント回路基板の斜視図である。図 8 A は、本発明の第 1 の実施の形態による異なるレベルの配線間を接続するビアホールとキャパシタとを有する 4 層プリント回路基板の部分縦断面図である。図 8 B は、図 8 A の配線の影響を説明するための等

価回路図である。

図5及び図6において、プリント回路基板18のレイアウトデータ入力部11では、電源プレーン19、グランドプレーン20の構造、信号配線24、電源、グランド両プレーンを跨いで接続されたビアホール25、電源、グランド両プレーンに接続され、ビアホールに近接して配置されたキャパシタ26、ドライバIC27、レシーバIC28などの能動デバイスに関する位置情報および各層間の間隔の情報が自動、もしくは手動により入力される(処理S11)。

電源プレーンおよびグランドプレーンのプレーン構造抽出部12においては、電源プレーン19、グランドプレーン20間の距離 t や配置に関する情報を抽出する(処理S12)。

電源プレーン19およびグランドプレーン20を跨いで延在するレベルの異なる配線間を接続する層間配線接続用のビアホール抽出部13においては、ドライバIC27とレシーバIC28間を接続する信号配線を抽出する。抽出したこの配線が異なる層に渡ってレイアウトされている場合には、これらの層を貫通して接続するために、導体であるビアホールを設ける必要があり、その配設位置に関する情報を抽出する(処理S13)。

電源プレーンおよびグランドプレーン間を接続するためのキャパシタ抽出部14では、電源プレーン19とグランドプレーン20間をキャパシタ搭載用パッド27とキャパシタ接続ビアホール29を介して接続するキャパシタの搭載位置に関する情報を抽出する(処理S14)。

キャパシタ26およびビアホール25間の距離を測る距離計測部15においては、キャパシタ抽出部14で抽出されたキャパシタとのうちビアホール25に最も近い距離にあるキャパシタ26とビアホール25との間の距離 d_c を自動的に計測する(処理S15)。

許容可能なビアホールおよびキャパシタ間の距離としての許容距離値を記録したデータベース3は、電源プレーン19およびグランドプレーン20の両プレーンの

間隔 t に対して、不要電磁波放射抑制効果の観点から許容可能であるビアホール 25 およびキャパシタ 26 間の距離の最大値である許容距離値 d_p を記録したテーブルである。

ビアホール 25 およびキャパシタ 26 間の距離 d_c と許容距離値 d_p は、距離比較部 16 において比較され（処理 S 16、処理 S 17）、 $d_c > d_p$ の場合、警告発生部 17 において警告および警告の発生した理由を表示する（処理 S 18）。

次に本発明によるプリント回路配線基板設計支援装置を用いてプリント回路基板を設計することにより、不要電磁波放射が抑制される原理を説明する。

電源プレーン 19 およびグランドプレーン 20 の両プレーンを跨ぐように互いに異なるレベルで延在する信号配線 24 を接続するビアホール 25 は、図 8 B に示すように高周波電流源 30 として作用し、両プレーン間に高周波電圧 V を発生させることが知られている。このことは、例えば 2000 年電子情報通信学会総合大会 B-4-65、「多層プリント回路基板の層間配線と電源供給系の結合モデル」に開示される。

この高周波電圧 V は、電源プレーン 19 およびグランドプレーン 20 の両プレーン内を伝搬し、プレーン端部に到達して不要電磁波放射を発生させる要因となる。

図 9 A は、異なるレベルの配線間を接続するビアホールを有する多層プリント回路基板の断面構造を示す模式図である。図 9 B は、異なるレベルの配線間を接続するビアホールとキャパシタとを有する多層プリント回路基板の断面構造を示す模式図である。図 9 C は、図 9 A の構造における不要電磁波放射レベルを示す図である。図 9 D は、図 9 B の構造における不要電磁波放射レベルを示す図である。

この放射は当該ビアホールの近傍に電源プレーン 19 およびグランドプレーン 20 の両プレーン間に接続するキャパシタ 26 を配置して、両プレーン間のインピーダンスを下げることにより低減できる。

このように、このキャパシタ 26 は、電源プレーン 19 およびグランドプレーン 20 の両プレーンを跨ぐように互いに異なるレベルで延在する配線間を接続するビ

アホール 25 に近接して配置する必要がある。

ところが、実際にキャパシタ 26 を搭載しようとする、プリント回路基板の構造や部品実装上の制約により、キャパシタ 26 をビアホール 25 の直近におくことができず、キャパシタ 26 はビアホール 25 から離れた位置に搭載されることが多い。

しかし、ビアホールおよびキャパシタ間の距離が離れすぎると放射抑制効果は低下するので、プリント基板の設計においては、ビアホールおよびキャパシタ間の距離 d_c の設定が重要な要素である。

図 10 A は、ビアホールおよびキャパシタ間の距離と電源、グランド両プレーン間に発生する電圧の関係をプレーン間隔をパラメータとして示した図である。図 10 B は、各許容電圧上昇値に対する電源、グランドプレーン間隔とビアホールおよびキャパシタ間距離との関係を示した図である。

図 10 A 及び図 10 B から、放射抑制効果がビアホールおよびキャパシタ間の距離 d_c に依存することがわかる。

すなわち、電源プレーンおよびグランドプレーンの両プレーンの構造を 2 次元の等価回路モデル、ビアホールの影響を高周波電流源として、容量が $0.01 \mu F$ キャパシタを搭載位置を変えながら、特定の周波数における電源プレーンおよびグランドプレーンの端部における電圧を計算した。

横軸はビアホールおよびキャパシタ間の距離 d_c 、縦軸はプレーン端における電源プレーンおよびグランドプレーンの両プレーン間の電圧を $d_c = 0$ における電圧値で規格化した値であり、電源プレーンおよびグランドプレーンの両プレーン間隔 t をパラメータとしている。

電源プレーンおよびグランドプレーンから放射される電磁波の強度はプレーン端部における電圧値に比例する。このことは、例えば、電子情報通信学会、信学技報 EMC J-2001-16 「L 処理 SI 電源端子電流モデルの EMI シミュレーションへの適用」 2001 年 7 月に開示される。

一般にビアホール 25 とキャパシタ 26 間の距離 d_c が大きくなるにしたがい、プレーン電圧 V は高くなるが、この傾向はプレーン間隔が大きくなるほど顕著である。

例えば、電圧が 3 dB 上昇する ($\Delta V = 3 \text{ dB}$) 距離 d_c を見ると、プレーン間隔 $t = 1 \text{ mm}$ の場合には $d_c = 8 \text{ mm}$ であるのに対し、 $t = 0.4 \text{ mm}$ の場合には $d_c = 30 \text{ mm}$ となる。

すなわち、プレーン間隔が小さいほど、ビアホールおよびキャパシタ間の距離 d_c を長くとることができる。このプレーン間隔 t 、ビアホールおよびキャパシタ間の間隔 d_c 、放射増加量 ΔV をデータベースとして有することにより、プリント回路基板設計の段階において、許容可能な放射増加量とビアホールおよびキャパシタ間の許容距離 d_p の関係を示すことができる。前記のデータベースは次に示すテーブル 1 に示すようなテーブルとして持つことができる。

また、プレーン間隔 t とビアホールおよびキャパシタ間の距離 d_c は、両軸を対数で表示した場合、ほぼ直線で表すことができるので、 $d_c = A \times t - B$ (ただし、 A 、 B は定数) で示すような簡単な式で定量化することも可能である。

テーブル 1

許容電圧上昇値を得るためのビアホールおよびキャパシタ間距離 d_p [mm])

プレーン間隔 t	許容電圧上昇範囲		
	2 dB	3 dB	...
t_1	5	8	.
t_2	7	12	.
t_3	9	17	.
.	.	.	.
.	.	.	.
.	.	.	.

上述した原理に基づけば、本発明の実施の形態は図 1 1 に示すような構成でも実現できる。

図 1 1 は、本発明の第 1 の実施の形態の第 1 の変更例によるプリント回路配線基板設計支援装置の構成を示すブロック図である。図 1 2 は、図 1 1 の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。

このプリント回路基板設計支援装置およびプリント回路基板設計方法は、CPU（不図示）の制御の下に動作する制御部 2 1 と、キー入力部および表示部を備える入出力部 2 2 と、後述するデータベースを格納する外部記憶装置 2 3 とを有する。

制御部 2 1 は、レイアウトデータ入力部 2 1 1、プレーン構造抽出部 2 1 2 と、ビアホール抽出部 2 1 3 と、キャパシタ抽出部 2 1 4 と、円作成部 2 1 5 と、キャパシタ検査部 2 1 6 と、警告発生部 2 1 7 とを有する。

レイアウトデータ入力部 2 1 1 は、信号配線、電源プレーン、グランドプレーンを有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、LSI、ICなどの能動デバイスやデカップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力部 2 2 を介して入力する。

プレーン構造抽出部 2 1 2 は、電源プレーン、グランドプレーンの構造を抽出する。

ビアホール抽出部 2 1 3 は、電源プレーンとグランドプレーンとを跨ぐように互いに異なるレベルで延在する配線間を接続するビアホールを抽出するものであり、プリント基板を貫通する導体の層間貫通構造を有するビアホールを抽出する。

キャパシタ抽出部 2 1 4 は、電源プレーンおよびグランドプレーン間に接続されたキャパシタ 2 6 を抽出する。

円作成部 2 1 5 は、ビアホールを中心としてデータベース 2 3 から出力される距離 d_p を半径とする円を作成する機能を有する。

データベース 23 は、電源プレーンおよびグランドプレーン間の距離に対してビアホール 25 およびキャパシタ 26 間の許容距離値を記録したものである。

キャパシタ検査部 216 は、作成された円内にキャパシタ 26 が存在するか否かを検査する。

警告発生部 217 は、円内にキャパシタ 26 が存在しない場合には警告を発生する機能を有する。

次に、プリント回路配線基板設計支援装置の各構成要素とその動作の詳細を説明する。プリント回路基板のレイアウトデータ入力部 211 では、電源プレーンおよびグランドプレーンの構造、信号配線構造、電源プレーンおよびグランドプレーンの両プレーンを跨いで接続されるビアホール、電源プレーンおよびグランドプレーンの両プレーンに接続され、ビアホールに近接して配置されたキャパシタ、ドライバ IC、レシーバ IC などの能動デバイスに関する位置情報、および各層間間隔の情報が、自動または手動により入力される（処理 S21）。

電源プレーン、グランドプレーンのプレーン構造抽出部 212 においては、電源プレーン 22 およびグランドプレーン 20 間の間隔 t や配置に関する情報を抽出する（処理 S22）。

電源プレーン 22 およびグランドプレーン 20 を跨いで延在するレベルの異なる配線間を接続する層間配線接続用のビアホール抽出部 213 においては、ドライバ IC 27 とレシーバ IC 28 間を接続する信号配線 24 を抽出する。抽出したこの配線 24 が異なる層に渡ってレイアウトされている場合には、これらの層を貫通して接続するために、導体であるビアホールを設ける必要があり、その配設位置に関する情報を抽出する（処理 S23）。

電源プレーン 22 およびグランドプレーン 20 間を接続するためのキャパシタ抽出部 214 では、電源プレーン 22 とグランドプレーン 20 間をキャパシタ搭載用パッド 27 とキャパシタ接続ビアホール 29 を介して接続するキャパシタ 26 の搭載位置に関する情報を抽出する（処理 S24）。

許容可能なビアホール 25 およびキャパシタ 26 間の距離を記録したデータベース 23 は、電源プレーン 22 およびグランドプレーン 20 の両プレーン間の間隔 t に対して、不要電磁波放射抑制効果の観点から許容可能であるビアホール 25 およびキャパシタ 26 間の距離の最大値である許容距離値 d_p を記録したテーブルである。

図 13A は、本発明におけるプリント回路基板上の信号配線とビアホール、およびキャパシタの配置を示した模式図である。図 13B は、図 13A において、搭載するキャパシタの数を変えたときのビアホールおよびキャパシタ間の距離と電源、グランド両プレーン間に発生する電圧の関係を示した図である。

円作成機能 215 では、レイアウトデータ入力部 211 おいて得られたレイアウトデータを用いて基板レイアウト図面を作成する。

作成したこの図面上に、図 13A に示すようにビアホール 25 を中心としてデータベース 23 から出力された許容距離値 d_p を半径とする円を描く（処理 S25）。

さらに、キャパシタ検査部 216 において描かれた円内にキャパシタ 26 の有無を検査し（処理 S26）、前記円内にキャパシタが存在しない場合には、警告および、警告の発生した理由を表示する（処理 S27）。

このプリント回路基板設計支援装置およびプリント回路基板設計方法によれば、ビアホール 25 を中心とした半径 d_p の円内にキャパシタ 26 が存在しない場合には不要電磁波放射レベルが高くなるため、警告が表示される。

しかしながら、半径 d_p の円内にキャパシタが存在しなくてもさらに大きい半径を設定し、その中に複数のキャパシタを搭載することにより、放射レベルを抑制することができる。

図 13B を参照すると、横軸にビアホールからの距離 d 離れた位置においてキャパシタが 1 個、2 個、および 3 個搭載されたときの電源プレーンおよびグランドプレーンの両プレーン端部における電圧を示したものである。

すなわち、ビアホール 25 に極めて近接してキャパシタ 26 を 1 個搭載した場合

のプレーン端電圧レベルは、ビアホール 25 から 10 mm 離れた距離にキャパシタ 26 を 2 個搭載した場合、および 20 mm 離れた距離にキャパシタ 26 を 3 個搭載した場合ではほぼ同等である。

ビアホール 25 までの距離 d とその効果が十分得られるキャパシタ個数との関係をデータベースとして有することにより不要電磁波放射を考慮したプリント回路基板設計情報を提供することができる。

この効果を利用し、次に述べるようなプリント回路基板設計支援装置およびプリント回路基板設計方法を実現することができる。

図 14 は、本発明の第 1 の実施の形態の第 2 の変更例によるプリント回路配線基板設計支援装置の構成を示すブロック図である。図 15 は、図 14 の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。

このプリント回路基板設計支援装置は、CPU（不図示）の制御の下に動作する制御部 31 と、キー入力部および表示部を備える入出力部 32 と、後述するデータベースを格納する外部記憶装置 33 とを有する。

制御部 31 は、レイアウトデータ入力部 311、プレーン構造抽出部 312 と、ビアホール抽出部 313 と、キャパシタ抽出部 314 と、円作成部 315 と、キャパシタ個数検査部 316 と、警告発生部 317 とを有する。

レイアウトデータ入力部 311 は、信号配線、電源プレーン、グランドプレーンを有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、LSI、IC などの能動デバイスやデカップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力部 32 を介して入力する。

プレーン構造抽出部 312 は、電源プレーン、グランドプレーンの構造を抽出する。

ビアホール抽出部 313 は、電源プレーン 22 とグランドプレーン 20 とを跨ぐ

ように互いに異なるレベルで延在する配線間を接続するビアホールを抽出するものであり、プリント基板を貫通する導体層間貫通構造を有するビアホール 2 5 を抽出する。

キャパシタ抽出部 3 1 4 は、電源プレーン 2 2 およびグランドプレーン 2 0 間に接続されたキャパシタを抽出する。

データベース 3 3 は、電源プレーン 2 2 およびグランドプレーン 2 0 間の距離に対してビアホール 2 5 およびキャパシタ 2 6 間の許容距離値 d_p と、その距離に対して必要なキャパシタ 2 6 の個数 n_p の関係を記録したものである。

円作成部 3 1 5 は、ビアホール 2 5 を中心としてデータベース 3 3 から出力される距離 d_p を半径とする円を作成する機能を有する。

キャパシタ個数検査部 3 1 6 は、作成された円内にキャパシタ 2 5 が何個存在するか否かを検査する。

警告発生部 3 1 7 は、円内にキャパシタが存在しない場合には警告を発生する機能を有する。

次に、図 7、図 8 A 及び図 8 B も併せて参照しながらプリント回路配線基板設計支援装置の各構成要素とその動作の詳細を説明する。

プリント回路基板のレイアウトデータ入力部 3 1 1 では、電源プレーン 2 2 およびグランドプレーン 2 0 の構造、信号配線構造、電源プレーン 2 2 およびグランドプレーン 2 0 の両プレーンを跨いで延在するレベルの異なる配線間を接続するビアホール 2 5、電源プレーン 2 2 およびグランドプレーン 2 0 の両プレーンに接続され、ビアホール 2 5 に近接して配置されたキャパシタ 2 6、ドライバ IC 2 7、レシーバ IC 2 8 などの能動デバイスに関する位置情報、および各層間間隔の情報が、自動または手動により入力される（処理 S 3 1）。

電源プレーン、グランドプレーンのプレーン構造抽出部 3 1 2 においては、電源プレーン 2 2 およびグランドプレーン 2 0 間の間隔 t や配置に関する情報を抽出する（処理 S 3 2）。

電源プレーン 22 およびグランドプレーン 20 を跨いで延在するレベルの異なる配線間を接続する層間配線接続用のピアホール抽出部 313 においては、ドライバ IC 27 とレシーバ IC 28 間を接続する信号配線 24 を抽出する。

抽出したこの配線 24 が異なる層レベルに亘ってレイアウトされている場合には、これら異なるレベル間の層を貫通して相互接続するために、導体であるピアホール 25 を設ける必要があり、その配設位置に関する情報を抽出する（処理 S33）。

電源プレーン 22 およびグランドプレーン 20 間を接続するためのキャパシタ抽出部 314 では、電源プレーン 22 とグランドプレーン 20 間をキャパシタ搭載用パッド 27 とキャパシタ接続ピアホール 29 を介して接続するキャパシタ 26 の搭載位置に関する情報を抽出する（処理 S34）。

前述したように、データベース 33 は、電源プレーン 22 およびグランドプレーン 20 の両プレーン間の間隔 t に対して、不要電磁波放射抑制効果の観点から許容可能であるピアホール 25 およびキャパシタ 26 間の距離の最大値である許容距離値 d_p と、その距離に対して必要なキャパシタ 26 の個数 n_p の関係を記録したテーブルである。このデータベースを参照して、円作成機能 315 では、レイアウトデータ入力部 311 おいて得られたレイアウトデータを用いて基板レイアウト図面を作成する。

作成したこの図面上に、図 13A に示すようにピアホール 25 を中心としてデータベース 33 から出力された許容距離値 d_p を半径とする円を描く（処理 S35）。

さらに、キャパシタ個数検査部 316 において描かれた円内にキャパシタ 26 の有無を検査し、さらに、キャパシタ 26 が何個あるかを検査する（処理 S36）。検査した結果、前記円内にキャパシタ 26 が存在しない場合、および、必要なキャパシタの個数 n_p を満たしていない場合は、警告および警告の発生した理由をテーブル示す（処理 S37）。

このプリント回路基板設計支援装置およびプリント回路基板設計方法によれば、ピアホール 25 を中心とした半径 d_p の円内に必要な個数 n_p を満たしていない、

つまり円内の個数 n が個数 n_p 以下の場合には、不要電磁波放射レベルが高くなるため、警告が表示される。

しかしながら、半径 d_p の円内に必要なキャパシタが存在しなくてもさらに大きい半径を設定し、その中に複数のキャパシタを搭載することにより、放射レベルを抑制することができる。

(第2の実施の形態)

次に、本発明による第2の実施の形態を説明する。

図16は、本発明の第2の実施の形態によるプリント回路配線基板設計支援装置の構成を示すブロック図である。図17は、図16の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。図18Aは、本発明の第2の実施の形態による異なるレベルの配線間を接続するビアホールとキャパシタとを有する4層プリント回路基板の部分縦断面図である。図18Bは、図18Aにおいて、LSIと電源ピン、キャパシタの関係を示した図である。図18Cは、図18Aのプリント回路基板の電源、グランドプレーン、LSI、キャパシタの等価回路図である。

このプリント回路基板設計支援装置は、CPU（不図示）の制御の下に動作する制御部41と、キー入力部および表示部を備える入出力部42と、後述するデータベースを格納する外部記憶装置43とを有する。

制御部41は、レイアウトデータ入力部411、プレーン構造抽出部412と、LSI電源ピン抽出部413と、キャパシタ抽出部414と、キャパシタ間の距離計測部415と、データベース43と、距離比較部416と、警告発生部417とを有する。

レイアウトデータ入力部411は、信号配線24、電源プレーン54、グランドプレーン55を有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、LSI、ICなどの能動デバイスやデカ

ップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力部 4 2 を介して入力する。

プレーン構造抽出部 4 1 2 は、電源プレーン 5 4、グランドプレーン 5 5 の構造を抽出する。

L S I の電源ピン抽出部 4 1 3 は、電源ピン 5 2 の位置に関する情報を抽出する。

キャパシタ抽出部 4 1 4 は、電源プレーン 5 4 およびグランドプレーン 5 5 間に接続されたキャパシタ 5 3 を抽出する。

距離計測部 4 1 5 は、L S I 5 1 の電源ピン 5 2 およびキャパシタ 5 3 間の距離 d_c を計測する。

データベース 4 3 は、L S I 5 1 の電源ピン 5 2 およびキャパシタ 5 3 間の許容距離値 d_p を記録したものである。

距離比較部 4 1 6 は、L S I 5 1 の電源ピン 5 2 およびキャパシタ 5 3 間の距離とデータベース 4 3 に記録された許容距離値 d_p との比較を行う。

警告発生部 4 1 7 は、L S I の電源ピン 5 2 およびキャパシタ 5 3 間の距離が許容距離値 d_p よりも大きい場合には警告を発生する。

次に、本プリント回路配線基板設計支援装置の各構成要素とその詳細を説明する。図 1 6、1 7、1 8 A、1 8 B、1 8 C において、プリント回路基板のレイアウトデータ入力部 4 1 1 では、電源プレーン 5 4、グランドプレーン 5 5 の構造、電源、グランド両プレーンを接続され、ビアホールに近接して配置されたキャパシタ 5 3、L S I、I C 5 1 などの能動デバイスに関する位置情報、および各層間の間隔の情報が自動または手動により入力される（処理 S 4 1）。

電源プレーンおよびグランドプレーンのプレーン構造抽出部 4 1 2 においては、前述した電源プレーン 5 4 およびグランドプレーン 5 5 間の距離 t や配置に関する情報を抽出する（処理 S 4 2）。

L S I 5 1 の電源ピン抽出部 4 1 3 においては、図 1 8 A、図 1 8 B、図 1 8 C に示すように、L S I や I C 5 1 の各ピンのうち、電源ピン 5 2 の位置に関する情

報を抽出する（処理S 4 3）。

電源プレーンおよびグランドプレーン間のキャパシタ抽出部4 1 4では、電源プレーン5 4およびグランドプレーン5 5間をキャパシタ搭載用パッドとキャパシタ接続ビアホールとを介して接続する、キャパシタ5 3の搭載位置に関する情報を抽出する（処理S 4 4）。

電源ピンおよびキャパシタ間の距離計測部4 1 5においては、電源ピン5 2とキャパシタ抽出部4 1 4で抽出されたキャパシタ5 3とのうち、電源ピン5 2に最も近い距離にあるキャパシタ5 3までの距離 d_c を自動的に計測する（処理S 4 5）。

データベース4 3は、電源プレーン5 4およびグランドプレーン5 5の両プレーン間の間隔 t に対して、電源電圧変動が一定範囲以下となる電源ピン5 2およびキャパシタ5 3間の距離の最大値である許容距離値 d_p を記録したテーブルである。

このデータベース4 3を参照して、距離比較部4 1 6が、電源ピン5 2およびキャパシタ5 3間の距離値 d_c と許容距離値 d_p とを比較し（処理S 4 6、4 7）、 $d_c > d_p$ の場合、警告発生部4 1 7において警告および警告の発生した理由を表示する（処理S 4 8）。

次に本実施の形態におけるプリント回路基板設計装置において、電源電圧変動を抑制した安定な電源を供給するプリント回路基板が提供できる理由を説明する。

図1 8 Cは図1 8 Aの構造を等価回路を用いて表現したものである。この等価回路はLSI、IC 5 1の電源プレーン5 4とグランドプレーン5 5とを結び、キャパシタ5 3の容量 C 、キャパシタおよびキャパシタの搭載により生じる寄生インダクタンス成分 L_{cap57} 、およびLSI 5 1の電源ピン5 2およびキャパシタ間の距離が離れているために生じるインダクタンス成分 L_{pcb56} で構成される。

図1 9は、ビアホールおよびキャパシタ間の距離とインダクタンスの関係をプレーン間隔をパラメータとして示した図である。

このインダクタンス成分 L_{pcb} の電源ピン5 2およびキャパシタ5 3間の距離依存性を、電源プレーンおよびグランドプレーン間の間隔 t をパラメータとして示

した図であり、インダクタンス成分 L_{pcb56} はLSIの電源ピン52およびキャパシタ53間の距離 d_c 、プリント回路基板の電源プレーン54およびグランドプレーン55の両プレーン間隔 t のほか、プレーンや基板を構成する誘電材料にも依存する。

ところで、LSIがスイッチング動作を行なう場合には、図18Cに示すようにLSI51の電源ピン52に瞬時に電流 I が流れ込む。この電流 I は、インダクタンス成分 L_{pcb56} の両端に $\Delta V = L_{pcb} \cdot dI / dt$ で示されるような電源電圧変動 ΔV を引き起こす。

この電圧変動の発生はLSI51の電源およびグランド間の電源電圧の一時的な変動を引き起こし、しばしば、信号の立ち上がり時間の遅延、タイミングの乱れなどの回路誤動作の要因となっている。

図20Aは、LSIがスイッチングする際に電源側に流れる電流の波形を示した図である。図20Bは、インダクタンスの両端に発生する電圧の波形を示した図である。図20Cは、各インダクタンス値を得るための電源、グランドプレーン間隔と電源ピンーキャパシタ間距離の関係を示した図である。

LSIがスイッチングする際に、LSI51の電源ピン52に流れ込む電流 I は多くの場合、図20Aに示すような三角波形であり、インダクタンス成分 L_{pcb56} の両端に発生する電圧は図20Bに示すような矩形形状に近い波形となる。このときの電圧の振幅はインダクタンス成分 L_{pcb56} に比例する。

逆に、電圧変動を一定の範囲以内で抑制しようとするためには、インダクタンス成分 L_{pcb56} を小さくする必要が生じる。例えば、立ち上がりが2ns、振幅1Aの電流が流れる場合の電圧変動は、 $L_{pcb} = 0.5 \text{ nH}$ では0.25[V]、 $L_{pcb} = 1.0 \text{ nH}$ では0.5[V]である。

許容できる電源電圧変動値は、電源供給電圧に依存する。例えば、電源供給電圧が3.3Vであり、電源電圧変動の許容値をその約10%、 $\Delta V = 0.3 \text{ V}$ 未満に抑えるためにはインダクタンス成分 L_{pcb56} は0.6nH以下にする必要があ

る。

インダクタンス成分 L_{pcb56} が 0.6 nH となる電源ピン52およびキャパシタ53間の距離 d_c は、電源プレーンおよびグランドプレーン間の間隔 t に対して、図20Cで表されるような関係で表すことができる。

この関係をデータベースとして持つことにより、対象とする電源供給系の電源電圧変動を一定以下にするための、キャパシタの配置位置を決定することができる。

前記のデータベースは下記に示すようなテーブルとして持つことができる。また、図20Cに示すようにプレーン間隔 t とビアホールおよびキャパシタ間の許容距離値 d_p は、両軸を対数で表示することによりほぼ直線で表すことができるので、 $d_p = C \times t - D$ （ただし、 C 、 D は定数）に示すような簡単な式で定式化することも可能である。

(テーブル2)

L_{pcb} を得るための電源ピンおよびキャパシタ間の許容距離値 d_p [mm]

プレーン間隔 t	インダクタンス成分 L_{pcb}		
	0.4 nH	0.6 nH	...
t_1	12	18	.
t_2	4	6	.
t_3	2.5	4	.
.
.	.	.	.
.	.	.	.

上述した実施の形態の場合もプリント回路基板の設計段階から不要電磁波放射抑制対策を盛り込むことができる。

また、従来の基板の設計手法、構造を維持しながら、基板レイアウトの最適化を

図ることにより回路の誤動作を抑制する効果を有する。

図 2 1 は、本発明の第 2 の実施の形態の第 1 の変形例におけるプリント回路配線基板設計支援装置の構成を示すブロック図である。図 2 2 は、図 2 1 の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。図 2 3 は、プリント回路基板上に搭載された L S I とその電源ピンおよびキャパシタの配置を示した図である。

図 2 1 および図 1 8 A 乃至 1 8 C を併せて参照すると、このプリント回路基板設計支援装置は、C P U（不図示）の制御の下に動作する制御部 6 1 と、キー入力部および表示部を備える入出力部 6 2 と、後述するデータベースを格納する外部記憶装置 6 3 とを有する。

制御部 6 1 は、レイアウトデータ入力部 6 1 1、プレーン構造抽出部 6 1 2 と、L S I 7 1 の電源ピン抽出部 6 1 3 と、キャパシタ抽出部 6 1 4 と、データベース 6 3 と、円作成部 6 1 5 と、キャパシタ検査部 6 1 6 と、警告発生部 6 1 7 とを有する。

レイアウトデータ入力部 6 1 1 は、信号配線、電源プレーン、グランドプレーンを有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、L S I、I C などの能動デバイスやデカップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力部 6 2 を介して入力する。

プレーン構造抽出部 6 1 2 は、電源プレーン、グランドプレーンの構造を抽出する。

L S I の電源ピン抽出部 6 1 3 は、電源ピン 5 2 または 7 2 の位置に関する情報を抽出する。

キャパシタ抽出部 6 1 4 は、電源プレーン 5 4 およびグランドプレーン 5 5 間に接続されたキャパシタ 5 3 または 7 3 を抽出する。

データベース 6 3 は、電源ピン 7 2 およびキャパシタ 7 3 間の許容距離値 d_p を

記録したものである。

円作成部 615 は、電源ピン 72 を中心としてデータベース 63 から出力される許容距離値 d_p を半径とする円 74 を作成する機能を有する。

キャパシタ検査部 616 は、作成された円 74 内に前記キャパシタ 73 が存在するか否かを検査する。

警告発生部 617 は、円 71 内にキャパシタ 73 が存在しない場合には警告を発生する機能を有する。

次にプリント回路配線基板設計支援装置 61 の各構成要素とその動作の詳細を説明する。プリント回路基板のレイアウトのデータ入力部 611 では、電源プレーン、グランドプレーンの構造、信号配線構造、電源、グランド両プレーンを跨いで接続されらビアホール、電源、グランド両プレーンを接続され、ビアホールに近接して配置されたキャパシタ、ドライバ IC、レシーバ IC などの能動デバイスに関する位置情報、および各層間間隔の情報が自動または手動により入力される（処理 S61）。

電源プレーン 54 およびグランドプレーン 55 のプレーン構造抽出部 612 においては、電源プレーン 54 およびグランドプレーン 55 間の距離 t や配置に関する情報を抽出する（処理 S62）。

LSI 71 の電源ピン抽出部 613 においては、図 23 に示すように LSI や IC 71 の各ピンのうち電源ピン 72 の位置に関する情報を抽出する（処理 S63）。

電源プレーン 54 およびグランドプレーン 55 間のキャパシタ抽出部 614 では、電源プレーン 54 およびグランドプレーン 55 間に、キャパシタ搭載用パッドとキャパシタ接続ビアホールを介して接続されたキャパシタの搭載位置に関する情報を抽出する（処理 S64）。

電源ピン 72 およびキャパシタ 73 間の距離を記録したデータベース 63 は、電源プレーン 54 およびグランドプレーン 55 の両プレーン間の間隔 t に対して、電源電圧変動抑制の観点から許容可能である等価インダクタンス L_{pcb} を得るため

の電源ピン7 2およびキャパシタ7 3間の距離の最大値を示す許容距離値 d_p を記載したテーブルである（処理S 6 5）。

プリント回路基板上に搭載されたL S I 7 1とその電源ピン7 2およびキャパシタ7 3の配置を示した図2 3を参照すると、円作成部6 1 5では、データベース6 3と、レイアウトデータ入力部6 1 1において得られたレイアウトデータとを用いて、基板レイアウト図面を作成し、この図面上に電源ピン7 2を中心としてデータベース6 3から出力された許容距離値 d_p を半径とする円7 4を描く（処理S 6 6）。

さらに、キャパシタ検査部6 1 6においては、描かれた円内のキャパシタの有無を検査し（処理S 6 7）、キャパシタが存在しない場合には、警告および警告の発生した理由を表示する（処理S 6 8）。

図2 4は、本発明の第2の実施の形態の第2の変形例におけるプリント回路配線基板設計支援装置の構成を示すブロック図である。図2 5は、図2 4の構成を有するプリント回路配線基板設計支援装置によるプリント回路配線基板設計方法を示すフローチャートである。

図2 4および図2 5を参照すると、このプリント回路基板設計支援装置は、C P U（不図示）の制御の下に動作する制御部1 3 1と、キー入力部および表示部を備える入出力部1 3 2と、後述するデータベースを格納する外部記憶装置1 3 3とを有する。

制御部1 3 1は、レイアウトデータ入力部1 4 1、プレーン構造抽出部1 4 2と、L S Iの電源ピン抽出部1 4 3と、キャパシタ抽出部1 4 4と、データベース1 3 3と、円作成部1 4 5と、キャパシタ容量計算部1 4 6と、警告発生部1 4 7とを有する。

レイアウトデータ入力部1 4 1は、信号配線、電源プレーン、グランドプレーンを有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、L S I、I Cなどの能動デバイスやデカップリングキ

ャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力部 1 3 2 を介して入力する。

プレーン構造抽出部 1 4 2 は、電源プレーン、グランドプレーンの構造を抽出する。

L S I の電源ピン抽出部 1 4 3 は、電源ピンの位置に関する情報を抽出する。

キャパシタ抽出部 1 4 4 は、電源プレーン 5 4 およびグランドプレーン 5 5 間に接続されたキャパシタを抽出する。

データベース 1 3 3 は、電源ピンおよびキャパシタ間の許容距離値 d_p 並びに容量基準値 C_{ref} を記録した記憶装置である。

円作成部 1 4 5 は、電源ピンを中心としてデータベース 1 3 3 から出力される許容距離値 d_p を半径とする円を作成する機能を有する。

キャパシタ容量検査部 1 4 6 は、作成された円内に存在する全てのキャパシタの容量値の合計 C_{total} を計算し、該容量値の合計 C_{total} が、容量基準値 C_{ref} を超えているか否かを検査する。

警告発生部 6 1 7 は、容量値の合計 C_{total} が容量基準値 C_{ref} を超えていない場合には警告を発生する機能を有する。

次にプリント回路配線基板設計支援装置 1 3 1 の各構成要素とその動作の詳細を説明する。プリント回路基板のレイアウトのデータ入力部 1 4 1 では、電源プレーン、グランドプレーンの構造、信号配線構造、電源、グランド両プレーンを跨いで接続されらビアホール、電源、グランド両プレーンを接続され、ビアホールに近接して配置されたキャパシタ、ドライバ I C、レシーバ I C などの能動デバイスに関する位置情報、および各層間間隔の情報が自動または手動により入力される（処理 S 1 5 1）。

電源プレーン 5 4 およびグランドプレーン 5 5 のプレーン構造抽出部 1 4 2 においては、電源プレーン 5 4 およびグランドプレーン 5 5 間の距離 t や配置に関する情報を抽出する（処理 S 1 5 2）。

L S I 7 1 の電源ピン抽出部 1 4 においては、図 2 3 に示すように L S I や I C 7 1 の各ピンのうち電源ピン 7 2 の位置に関する情報を抽出する（処理 S 1 5 3）。

電源プレーン 5 4 およびグランドプレーン 5 5 間のキャパシタ抽出部 1 4 4 では、電源プレーン 5 4 およびグランドプレーン 5 5 間に、キャパシタ搭載用パッドとキャパシタ接続ビアホールを介して接続されたキャパシタの搭載位置に関する情報を抽出する（処理 S 1 5 4）。

電源ピン 7 2 およびキャパシタ 7 3 間の距離を記録したデータベース 6 3 は、電源プレーン 5 4 およびグランドプレーン 5 5 の両プレーン間の間隔 t に対して、電源電圧変動抑制の観点から許容可能である等価インダクタンス L_{pcb} を得るための電源ピン 7 2 およびキャパシタ 7 3 間の距離の最大値を示す許容距離値 d_p を記載したテーブルである（処理 S 1 5 5）。

プリント回路基板上に搭載された L S I 7 1 とその電源ピン 7 2 およびキャパシタ 7 3 の配置を示した図 2 3 を参照すると、円作成部 1 4 5 では、データベース 1 3 3 と、レイアウトデータ入力部 1 4 1 において得られたレイアウトデータとを用いて、基板レイアウト図面を作成し、この図面上に電源ピン 7 2 を中心としてデータベース 1 3 3 から出力された許容距離値 d_p を半径とする円 7 4 を描く（処理 S 1 5 6）。

さらに、キャパシタ容量検査部 1 4 6 においては、描かれた円内に存在する全てのキャパシタの容量値の合計 C_{total} を計算し、該容量値の合計 C_{total} が容量基準値 C_{ref} を超えているか否かを検査する（処理 S 1 5 7）。

容量値の合計 C_{total} が容量基準値 C_{ref} を超えていない場合には、警告および警告の発生した理由を表示する（処理 S 1 5 8）。

上述した実施の形態の場合もプリント回路基板の設計段階から不要電磁波放射抑制対策を盛り込むことができる。

また、従来の基板の設計手法、構造を維持しながら、基板レイアウトの最適化を図ることにより回路の誤動作を抑制する効果を有する。

本発明のプリント回路配線基板設計支援装置およびプリント回路基板設計方法によれば、データベースとして、プリント回路基板レイアウトデータを基に、電源からグランド面プレーン間隔 t に対して、不要電磁波放射抑制効果の観点から許容可能であるビアホールおよびキャパシタ間距離の最大値である許容距離値 d_p を記載したテーブルを参照して、ビアホールおよびキャパシタ間距離 d_c と許容距離値 d_p を距離検査部において比較し、 $d_c > d_p$ の場合、警告発生部において警告および警告の発生した理由を表示するので、プリント回路基板の設計段階から不要電磁波放射抑制対策を盛り込むことができる。

また、電源ピンからキャパシタ間の許容距離 d_p のテーブルを参照して、電源ピンを中心に半径 d_p の円内にキャパシタがある場合と、電源ピンからキャパシタ間の許容距離 d_p および必要キャパシタの個数の関係を記録したテーブルを参照して、電源ピンを中心に半径 d_p の円内に必要なキャパシタ数が配置されていない場合と、電源ピンからキャパシタ間の距離が許容距離以上になる場合と、電源ピンからキャパシタ間の許容距離以内にキャパシタがない場合とも、それぞれ警告および警告の発生した理由を表示するので、これらの場合もプリント回路基板の設計段階から不要電磁波放射抑制対策を盛り込むことができる。

また、従来の基板の設計手法、構造を維持しながら、基板レイアウトの最適化を図ることにより回路の誤動作を抑制する効果を有する。

前述の実施の形態において、プリント回路配線基板設計支援装置は、データベースを含む構成としたが、データベースの構成に代え、情報やデータを記憶或いは保持できるハードウェアで構成してもよく、更には、上記データベースに記憶させたデータ或いは情報を、データベースや記憶用ハードウェアから読み出すことに代えて、ソフトウェアとしてプログラム中に組込む構成としてもよい。

更に、プリント回路配線基板設計支援装置を構成する各構成部は、あくまで前述の機能を果たすための機能ユニットを構成するものであり、ハードウェア或いはソフトウェア等ある特定の構成に限定するものではない。

更に、グランドプレーンとは、電源電位とは異なる基準電位に固定される少なくとも2次元的な平面広がりを持つ導体構造を意味し、基準電位は電源電位と異なればよく、0 Vに限定されるものではない。

産業上の利用の可能性

本発明は、プリント回路配線基板設計支援装置及びプリント回路基板設計方法並びにそのプログラムに関するものであれば、あらゆるものに適用することが可能であり、その利用の可能性において何ら限定するものではない。

幾つかの好適な実施の形態及び実施例に関連付けして本発明を説明したが、これら実施の形態及び実施例は単に実例を挙げて発明を説明するためのものであって、限定することを意味するものではないことが理解できる。本明細書を読んだ後であれば、当業者にとって等価な構成要素や技術による数多くの変更および置換が容易であることが明白であるが、このような変更および置換は、添付の請求項の真の範囲及び精神に該当するものであることは明白である。

請求の範囲

1. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、

前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出部と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、

前記ビアホールおよび前記キャパシタ間の距離を計測する計測部と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値と、前記計測部により計測された前記ビアホールおよび前記キャパシタ間の計測距離との比較を行う距離比較部と、

前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置。

2. 前記許容距離範囲の上限値をテーブルとして表示する請求項1記載のプリント回路配線基板設計支援装置。

3. 前記許容距離範囲の上限値を数式として表示される請求項1記載のプリント回路配線基板設計支援装置。

4. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、

前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出部と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成部と、

前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査部と、

前記円内にキャパシタが存在しない場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置。

5. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路

基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、

前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出部と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成部と、

前記円内の前記キャパシタの個数を数え、数えた個数と、該許容距離範囲の上限値に対して必要なキャパシタの個数とを比較するキャパシタ個数検査部と、

前記円内のキャパシタが必要な個数を満たさない場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置。

6. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力す

るレイアウトデータ入力部と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、

前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出部と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、

前記電源ピンおよび前記キャパシタ間の距離を計測する計測部と、

前記計測部により計測された前記電源ピンおよび前記キャパシタ間の計測距離と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値との比較を行う距離比較部と、

前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置。

7. 前記許容距離範囲の上限値をテーブルとして表示する請求項6記載のプリント回路配線基板設計支援装置。

8. 前記許容距離範囲の上限値を数式として表示している請求項6記載のプリント回路配線基板設計支援装置。

9. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力する

レイアウトデータ入力部と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、

前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出部と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出部と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成部と、

前記円内に前記キャパシタが存在するか否かをチェックするキャパシタ検査部と、

前記円内にキャパシタが存在しない場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置。

10. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力部と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出部と、

前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出部と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャ

パシタを抽出するキャパシタ抽出部と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成部と、

前記円内に存在する全てのキャパシタの容量値の合計が基準値を超えているか否かを検査するキャパシタ容量検査部と、

前記容量値の合計が前記基準値を超えていない場合には警告を発生する警告発生部とを含むプリント回路配線基板設計支援装置。

11. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記ビアホールおよび前記キャパシタ間の距離を計測する計測工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値と、前記計測部によ

り計測された前記ビアホールおよび前記キャパシタ間の計測距離との比較を行う距離比較工程と、

前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法。

12. 前記許容距離範囲の上限値をテーブルとして表示する請求項11記載のプリント回路配線基板設計方法。

13. 前記許容距離範囲の上限値を数式として表示される請求項11記載のプリント回路配線基板設計方法。

14. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビ

アホールを中心とする円を作成する円作成工程と、

前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査工程と、

前記円内にキャパシタが存在しない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法。

15. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成工程と、

前記円内の前記キャパシタの個数を数え、数えた個数と、該許容距離範囲の上限値に対して必要なキャパシタの個数とを比較するキャパシタ個数検査工程と、

前記円内のキャパシタが必要な個数を満たさない場合には警告を発

生する警告発生工程とを含むプリント回路配線基板設計方法。

16. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源ピンおよび前記キャパシタ間の距離を計測する計測工程と、

前記計測部により計測された前記電源ピンおよび前記キャパシタ間の計測距離と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値との比較を行う距離比較工程と、

前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法。

17. 前記許容距離範囲の上限値をテーブルとして表示する請求項16記載のプリント回路配線基板設計方法。

18. 前記許容距離範囲の上限値を数式として表示している請求項16

記載のプリント回路配線基板設計方法。

19. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成工程と、

前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査工程と、

前記円内にキャパシタが存在しない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法。

20. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間隔データと、前記プリント回路基板に搭載する能動素子および

受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成工程と、

前記円内に存在する全てのキャパシタの容量値の合計が基準値を超えているか否かを検査するキャパシタ容量検査工程と、

前記容量値の合計が前記基準値を超えていない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計方法。

21. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出

工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記ビアホールおよび前記キャパシタ間の距離を計測する計測工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値と、前記計測部により計測された前記ビアホールおよび前記キャパシタ間の計測距離との比較を行う距離比較工程と、

前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラム。

22. 前記許容距離範囲の上限値をテーブルとして表示する請求項21記載のプリント回路配線基板設計プログラム。

23. 前記許容距離範囲の上限値を数式として表示される請求項21記載のプリント回路配線基板設計プログラム。

24. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成工程と、

前記円内に前記キャパシタが存在するか否かをチェックするキャパシタ検査工程と、

前記円内にキャパシタが存在しない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラム。

25. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記電源プレーンおよび前記グランドプレーンを跨ぐように互いに異なるレベルで延在する配線を相互接続するビアホールを抽出するビアホール抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記ビアホールを中心とする円を作成する円作成工程と、

前記円内の前記キャパシタの個数を数え、数えた個数と、該許容距離範囲の上限値に対して必要なキャパシタの個数とを比較するキャパシタ個数検査工程と、

前記円内のキャパシタが必要な個数を満たさない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラム。

26. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーン間の間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源ピンおよび前記キャパシタ間の距離を計測する計測工程と、

前記計測部により計測された前記電源ピンおよび前記キャパシタ間の計測距離と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値との比較を行う距離比較工程と、

前記計測距離が前記許容距離範囲の上限値よりも大きい場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラム。

27. 前記許容距離範囲の上限値をテーブルとして表示する請求項26記載のプリント回路配線基板設計プログラム。

28. 前記許容距離範囲の上限値を数式として表示している請求項26記載のプリント回路配線基板設計プログラム。

29. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成工程と、

前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査工程と、

前記円内にキャパシタが存在しない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラム。

30. 信号配線、電源プレーン及びグランドプレーンを含むプリント回路基板を設計するために、前記信号配線の構造データと、前記電源プレーンの構造データと、前記グランドプレーンの構造データと、前記電源プレーンおよび前記グランドプレーンの間隔データと、前記プリント回路基板に搭載する能動素子および受動素子の内少なくとも1つの搭載位置データとを含むレイアウトデータを入力するレイアウトデータ入力工程と、

前記電源プレーンおよび前記グランドプレーンの構造を抽出するプレーン構造抽出工程と、

前記プリント回路基板に搭載する集積回路の電源ピンを抽出する電源ピン抽出工程と、

前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタを抽出するキャパシタ抽出工程と、

前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離範囲の上限値を半径とし、前記電源ピンを中心とする円を作成する円作成工程と、

前記円内に存在する全てのキャパシタの容量値の合計が基準値を超えているか否かをチェックするキャパシタ容量チェック工程と、

前記容量値の合計が前記基準値を超えていない場合には警告を発生する警告発生工程とを含むプリント回路配線基板設計プログラム。

1/37

図 1 A

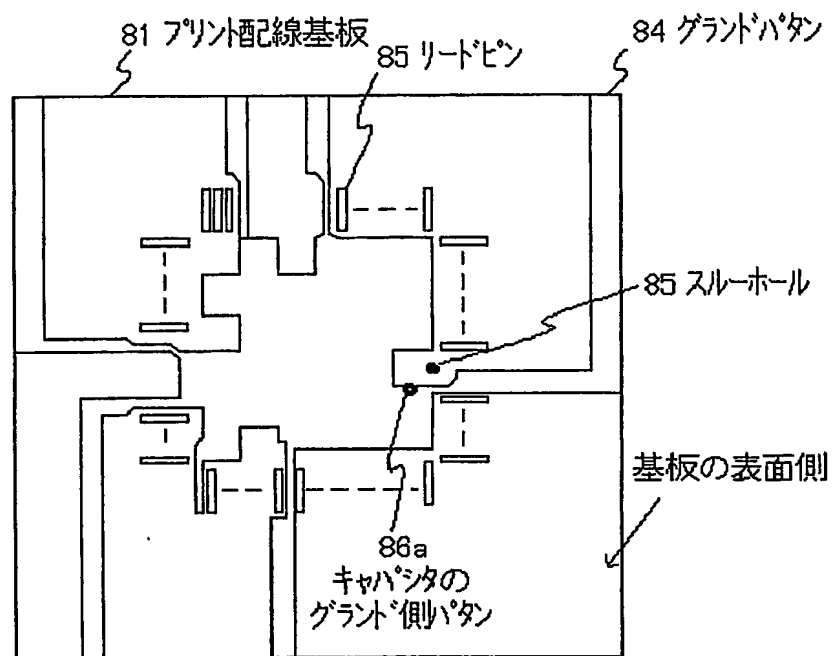


図 1 B

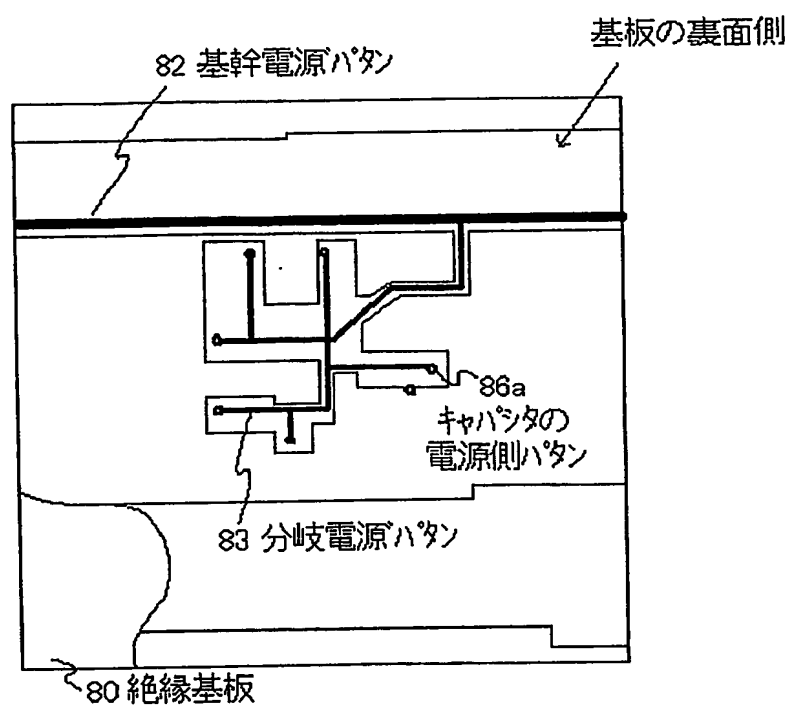


図 2 A

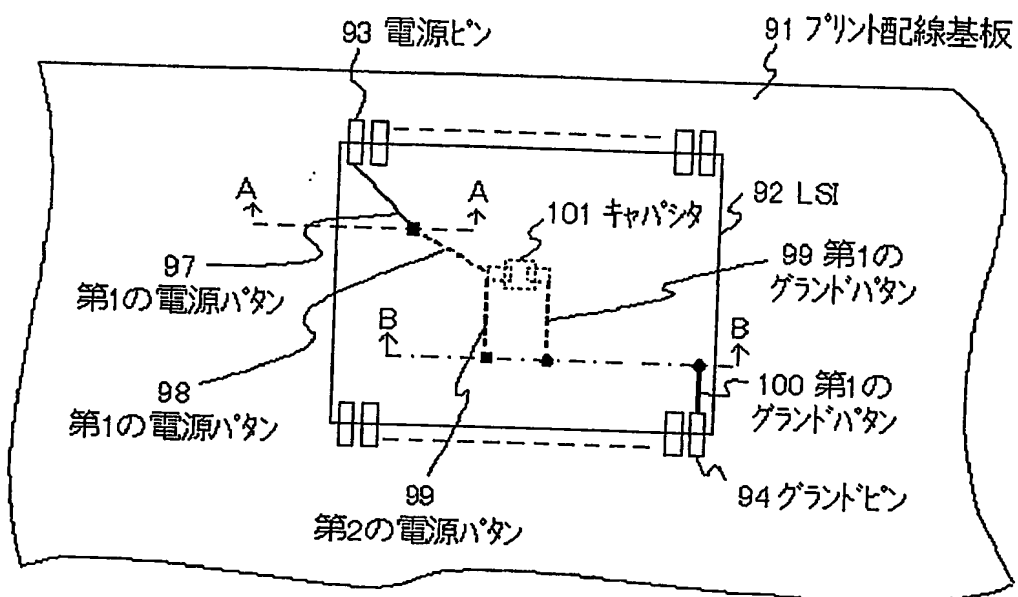


図 2 B

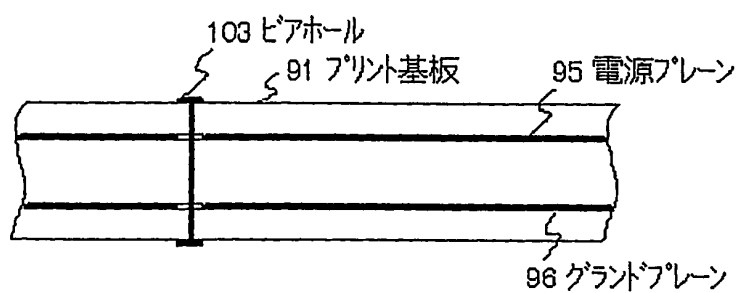


図 2 C

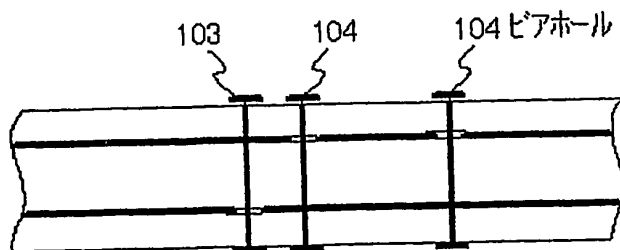


図 3

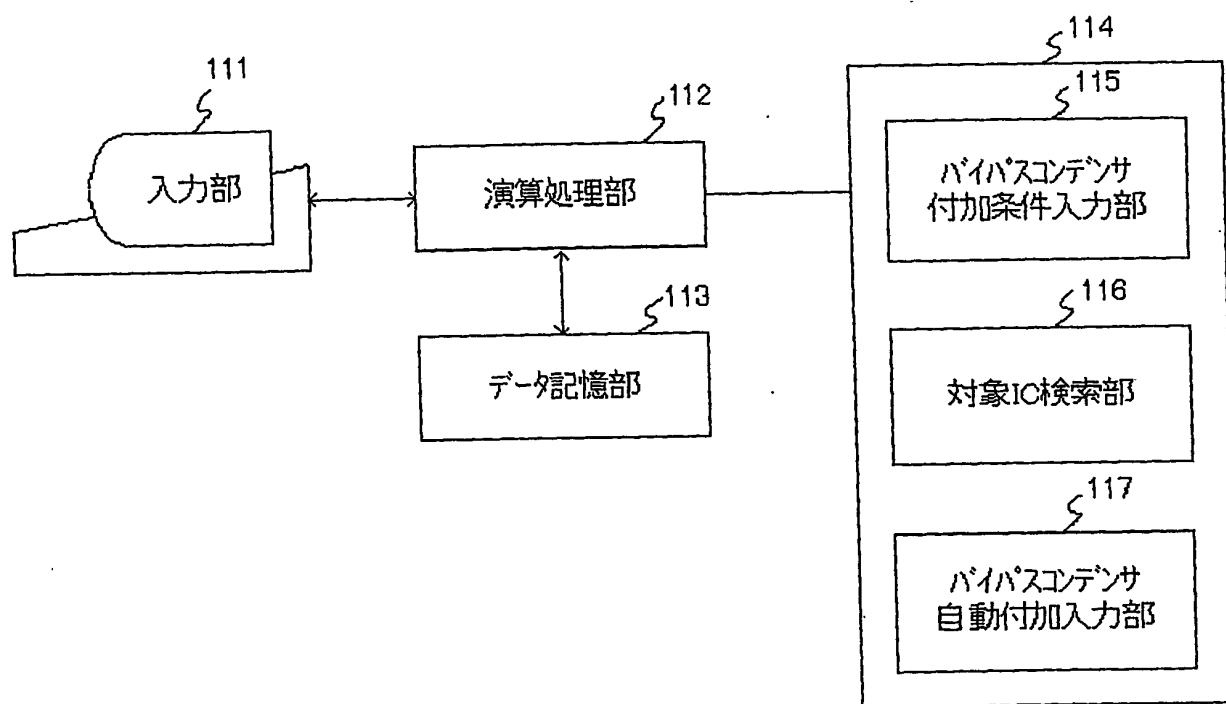


図 4

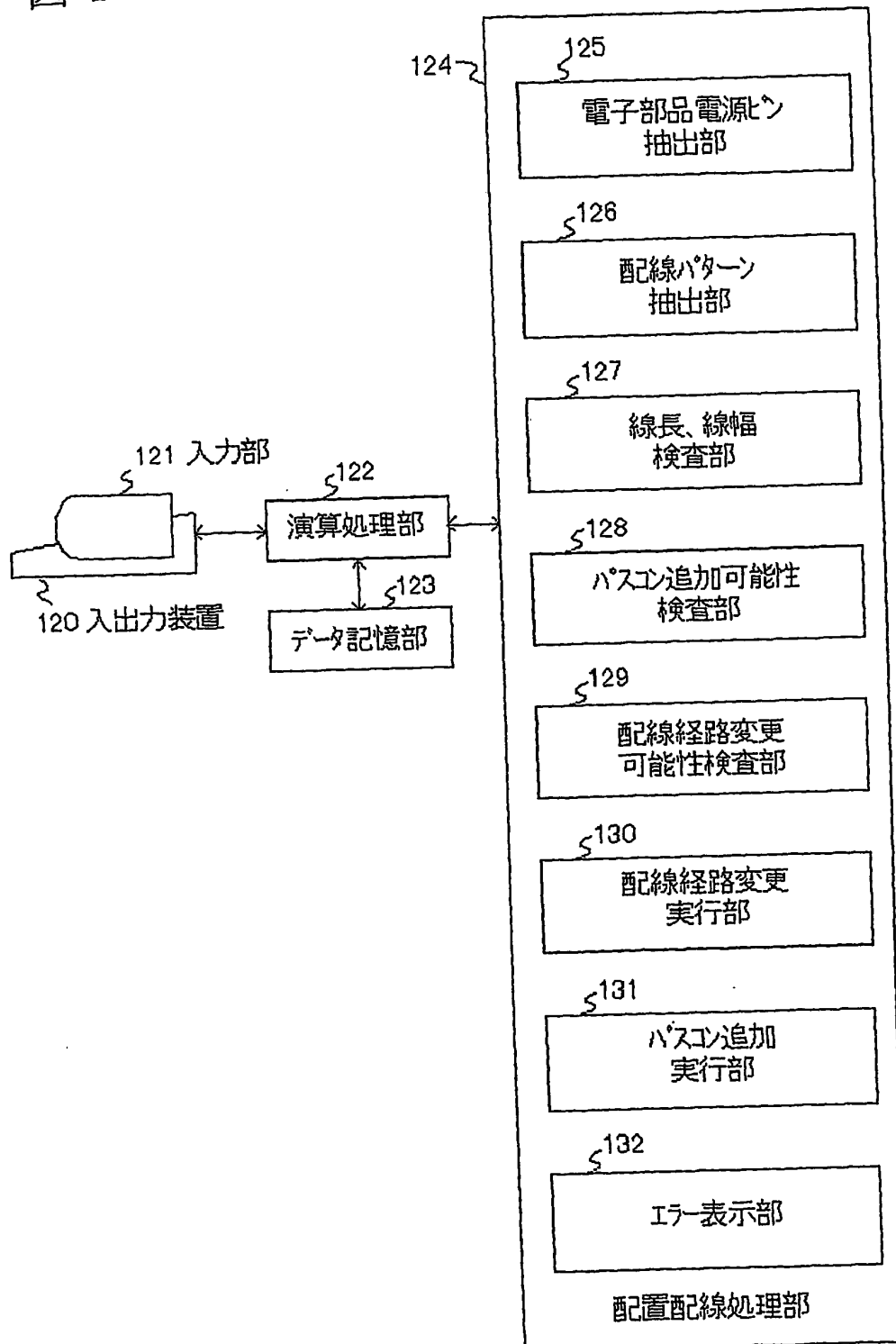
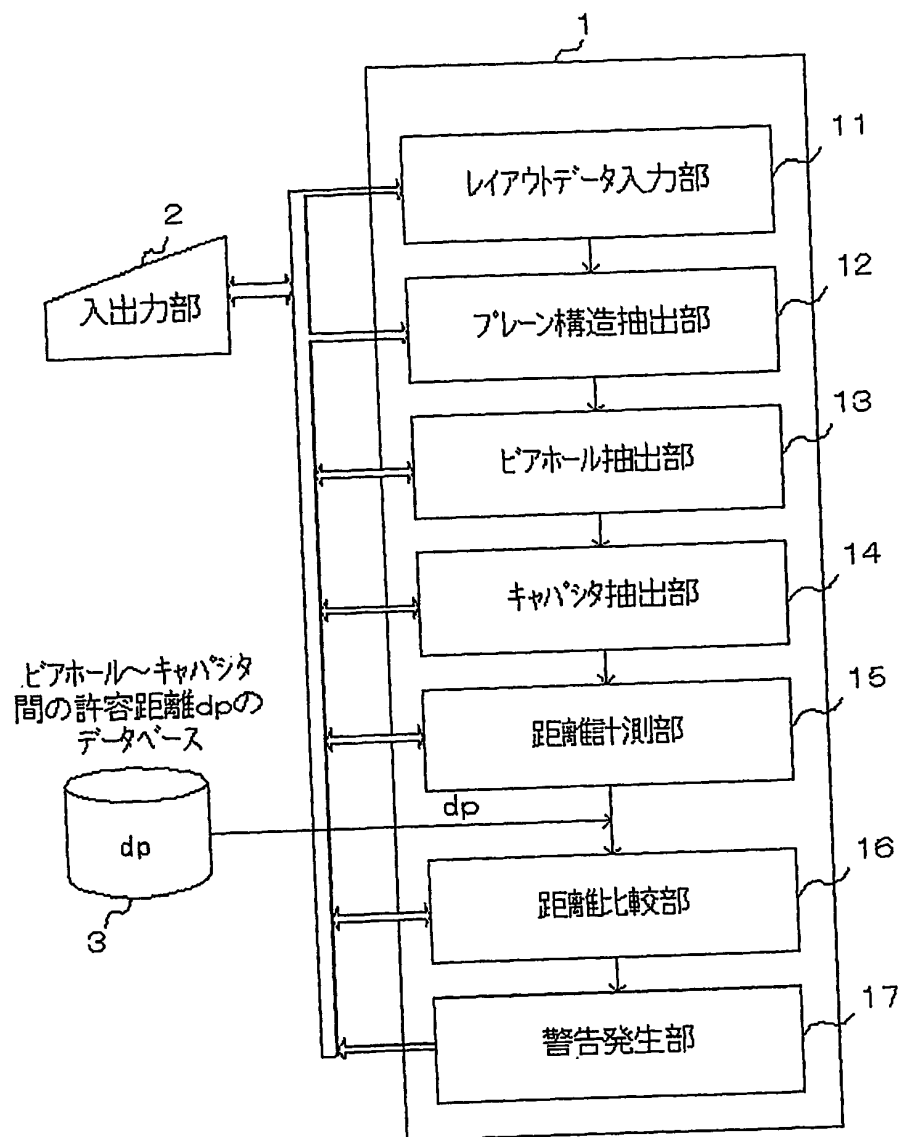


図 5



8/37

図 6

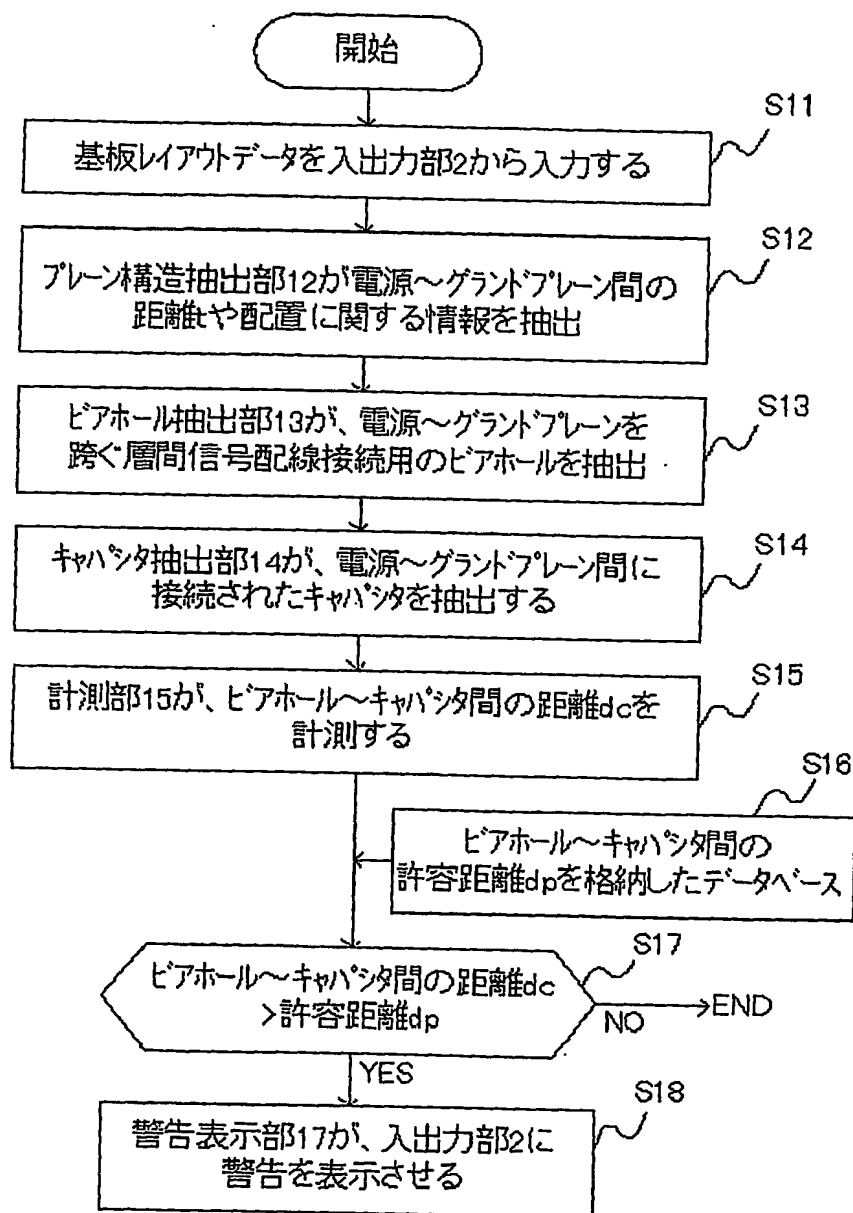
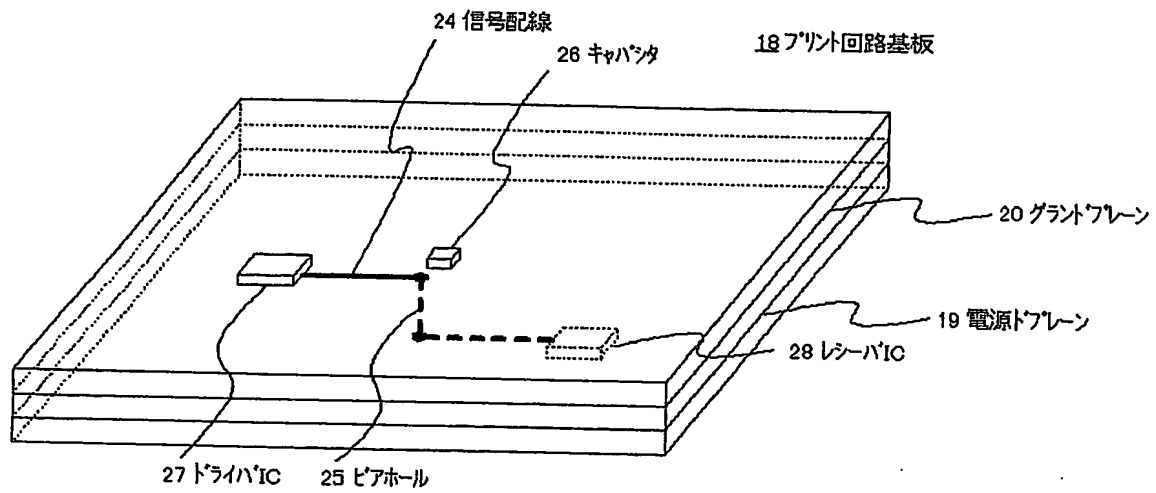


図 7



10/37

図 8 A

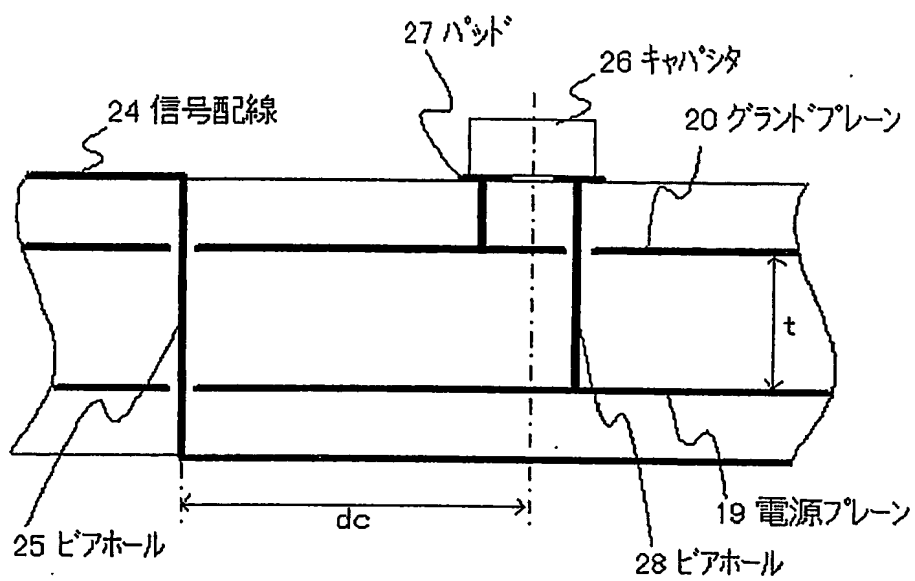


図 8 B

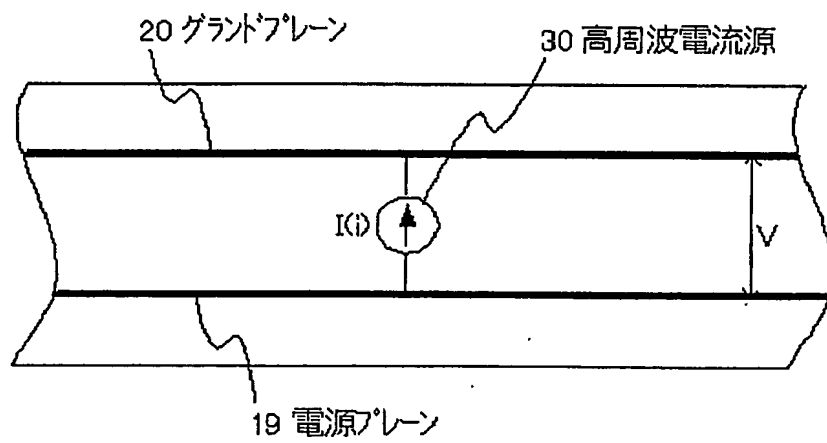


図 9 A

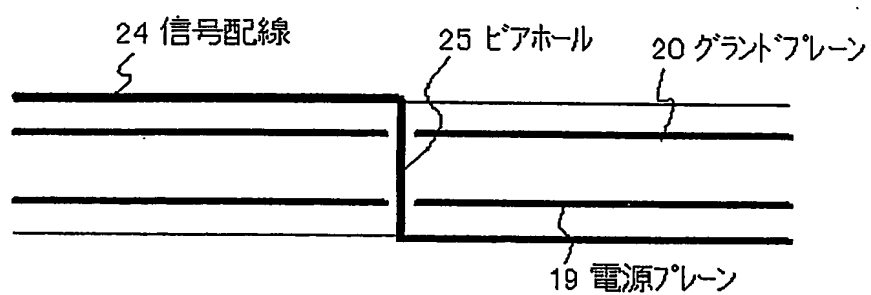


図 9 B

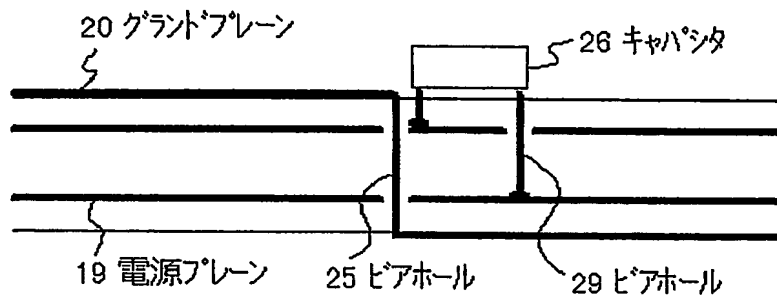


図 9 C

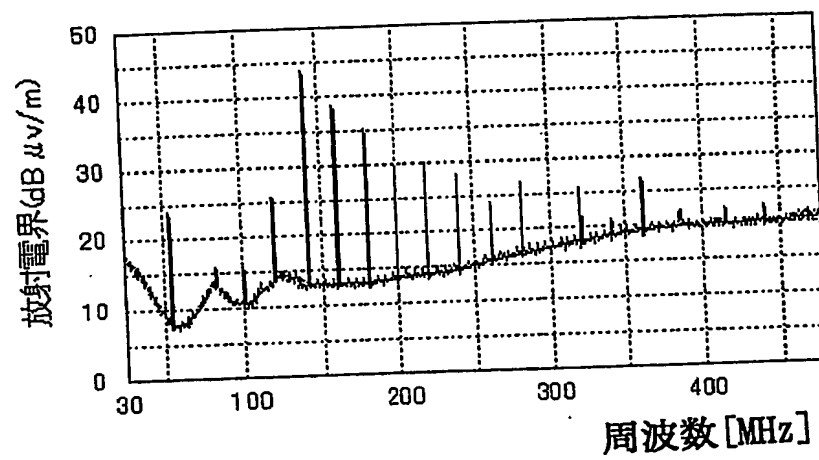


図 9 D

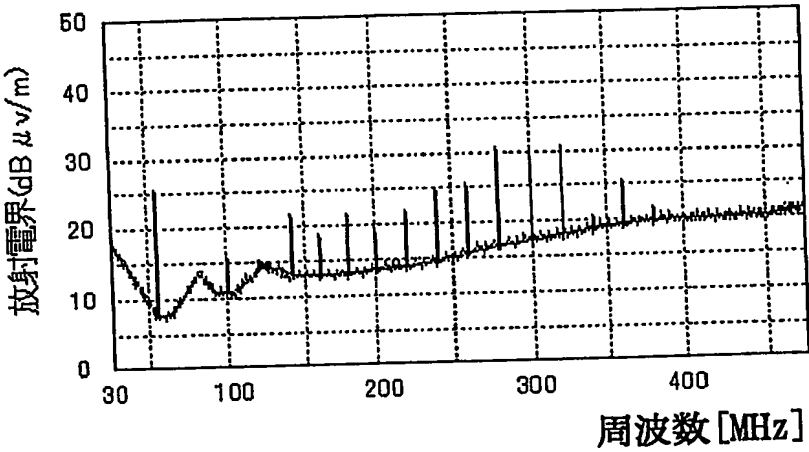


図 10 A

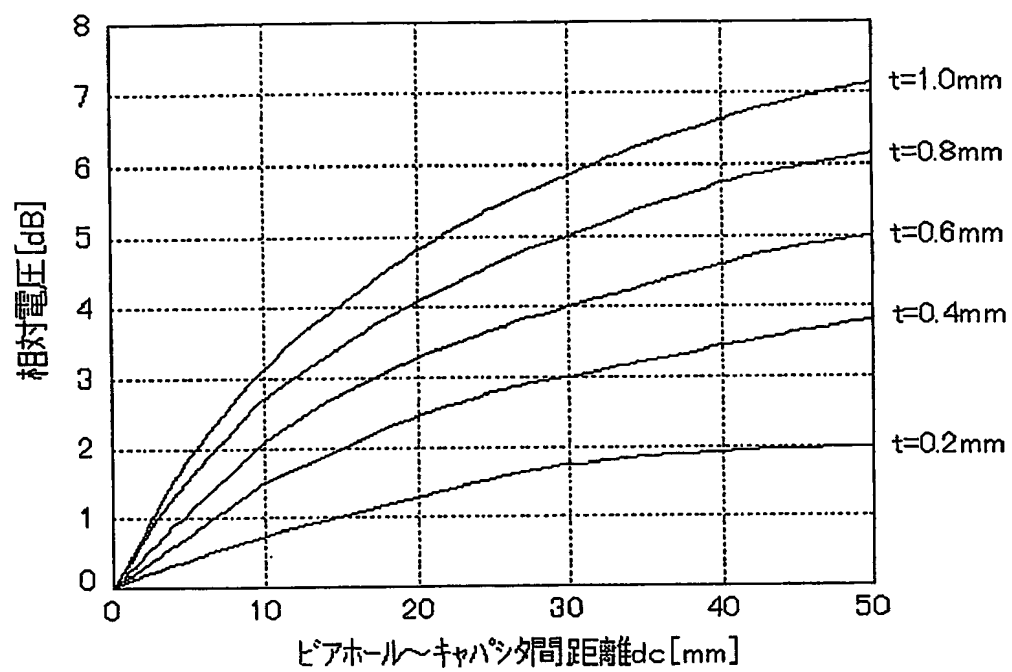


図 1 0 B

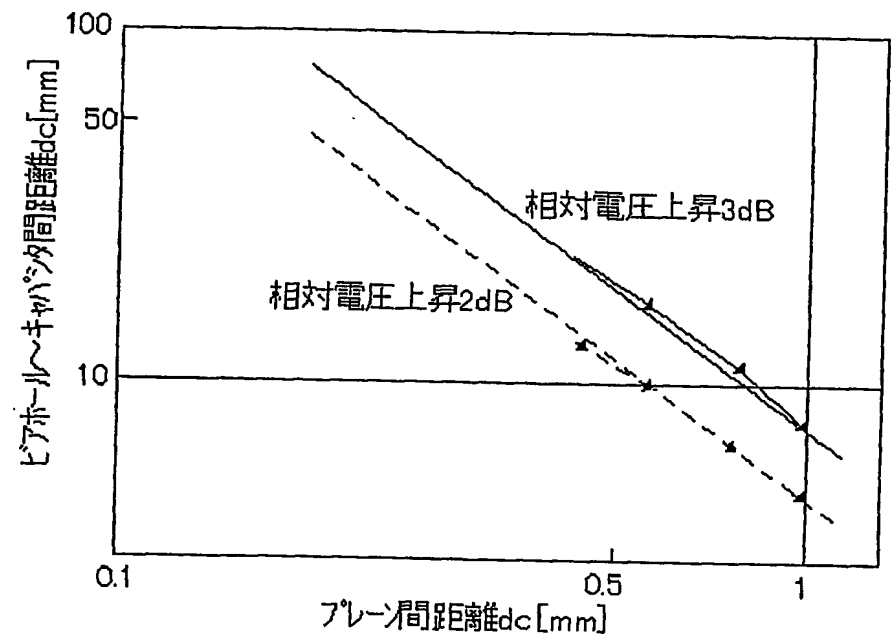


図 1 1

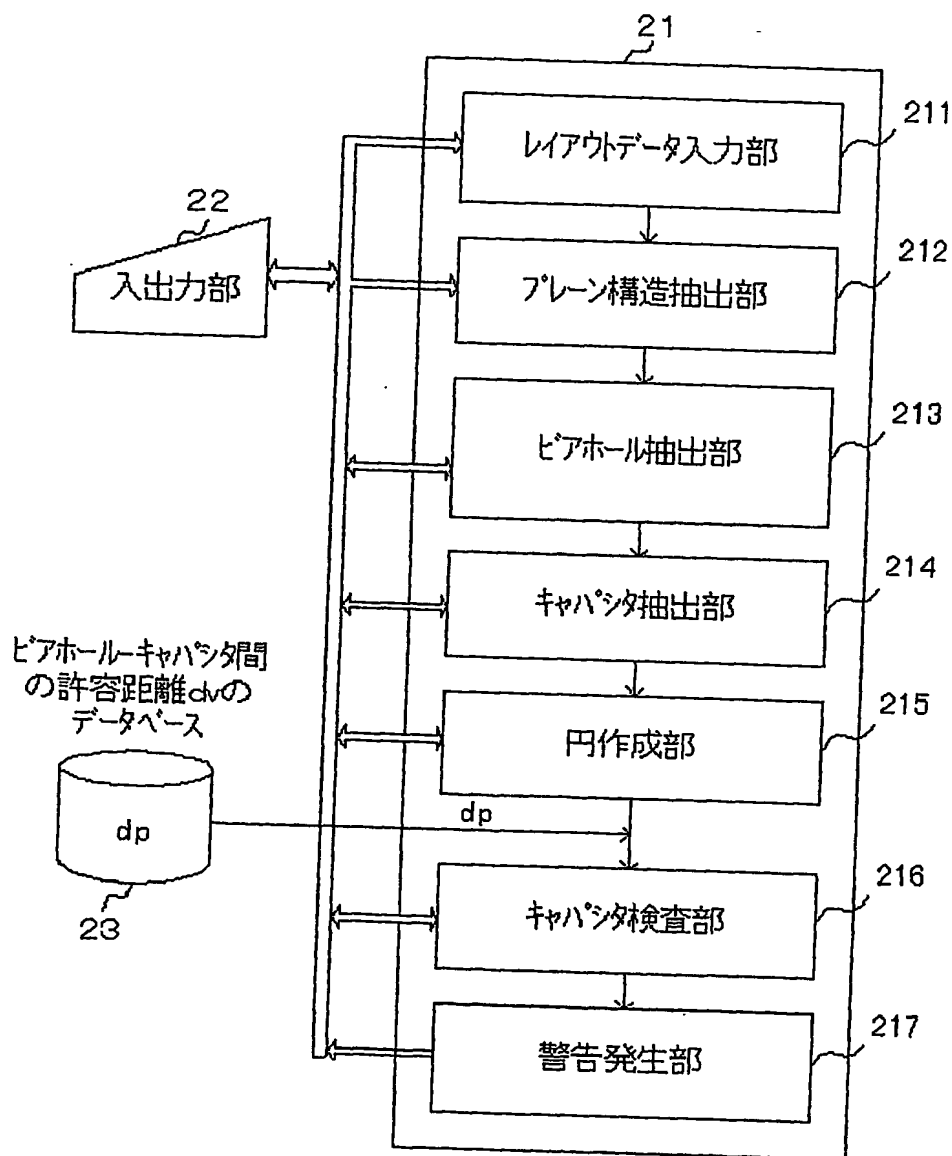


図 1 2

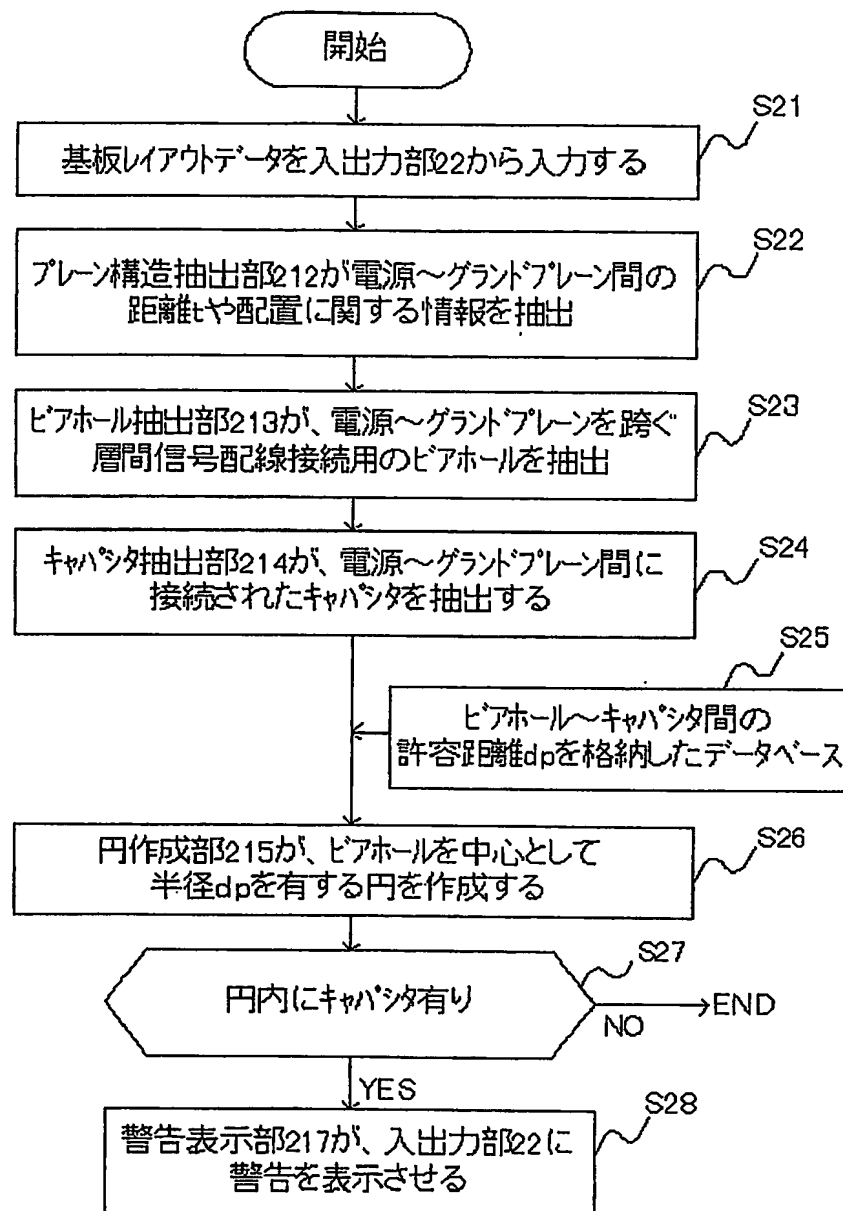


図 1 3 A

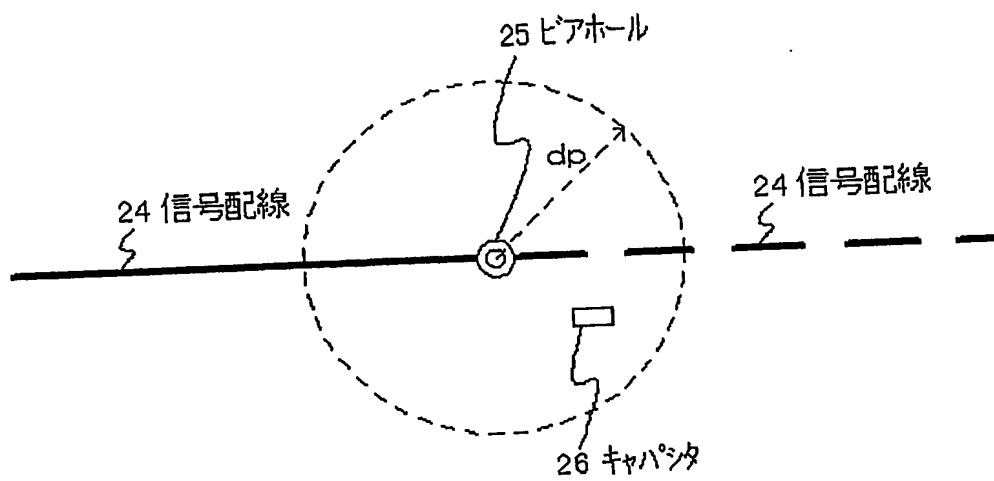


図 1 3 B

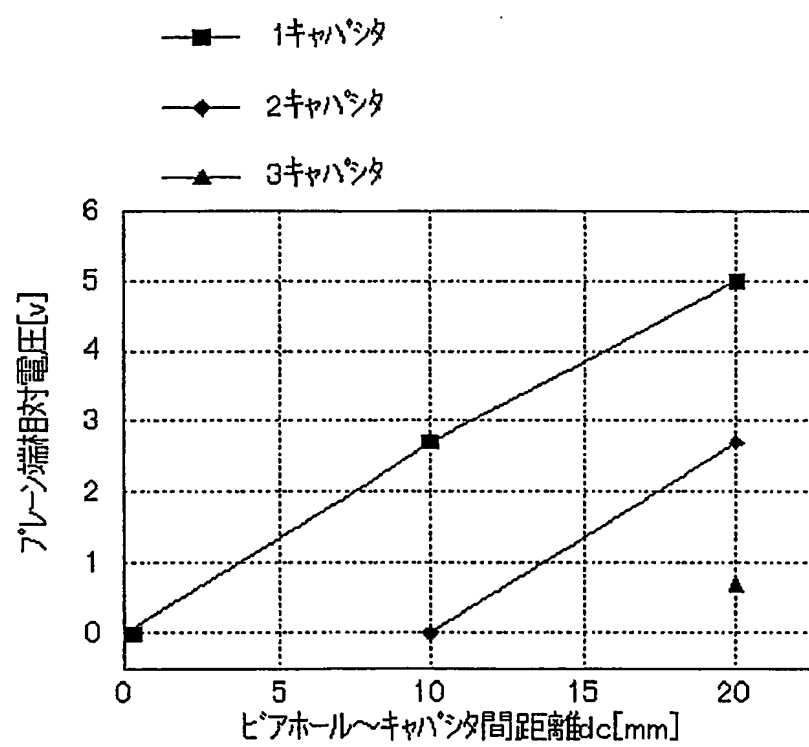


図 1 4

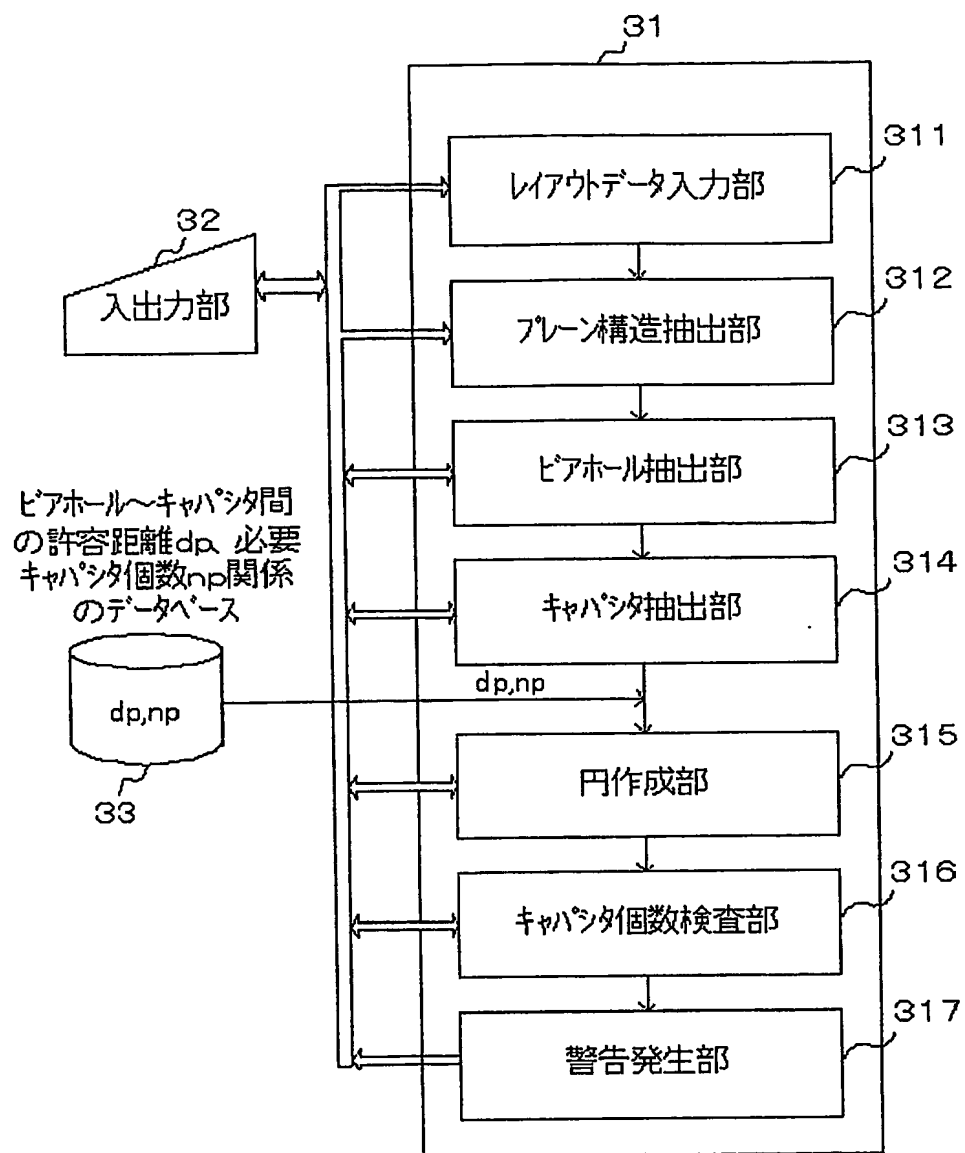


図 1 5

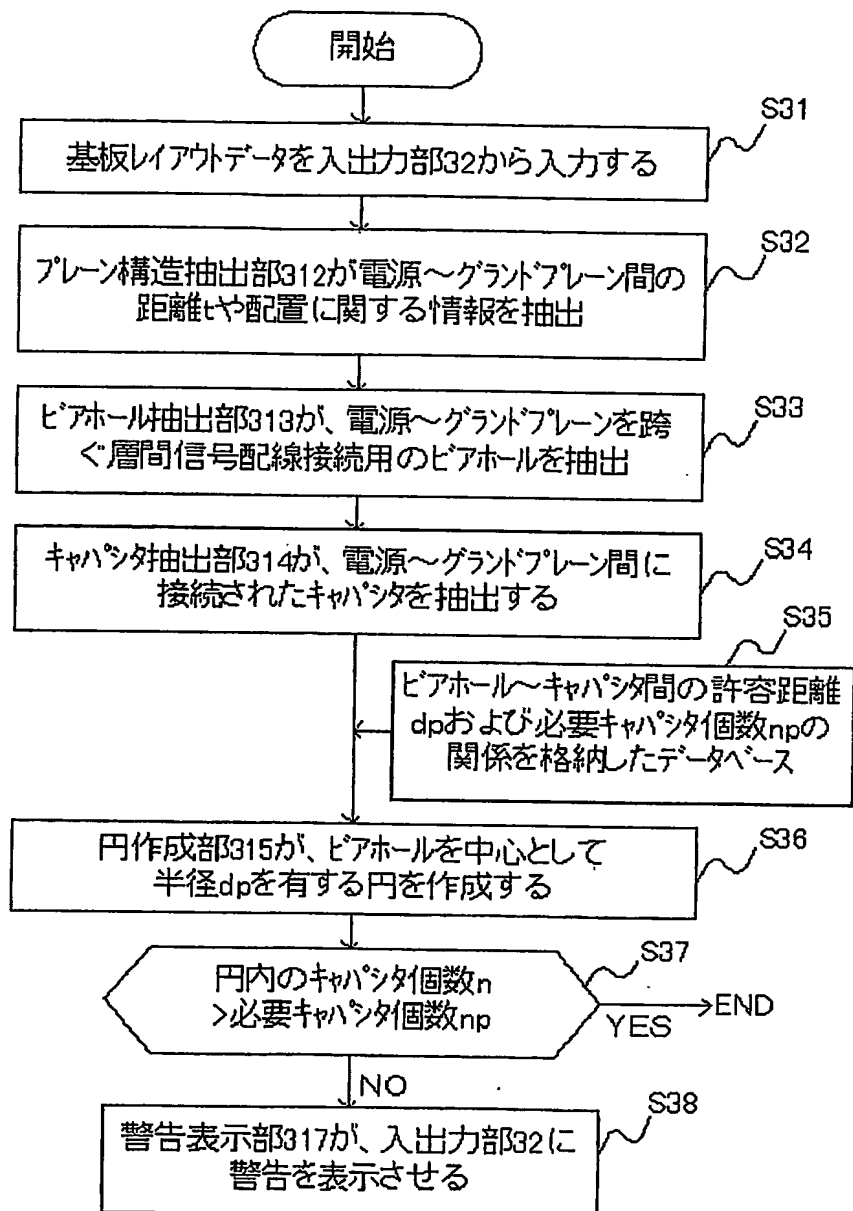
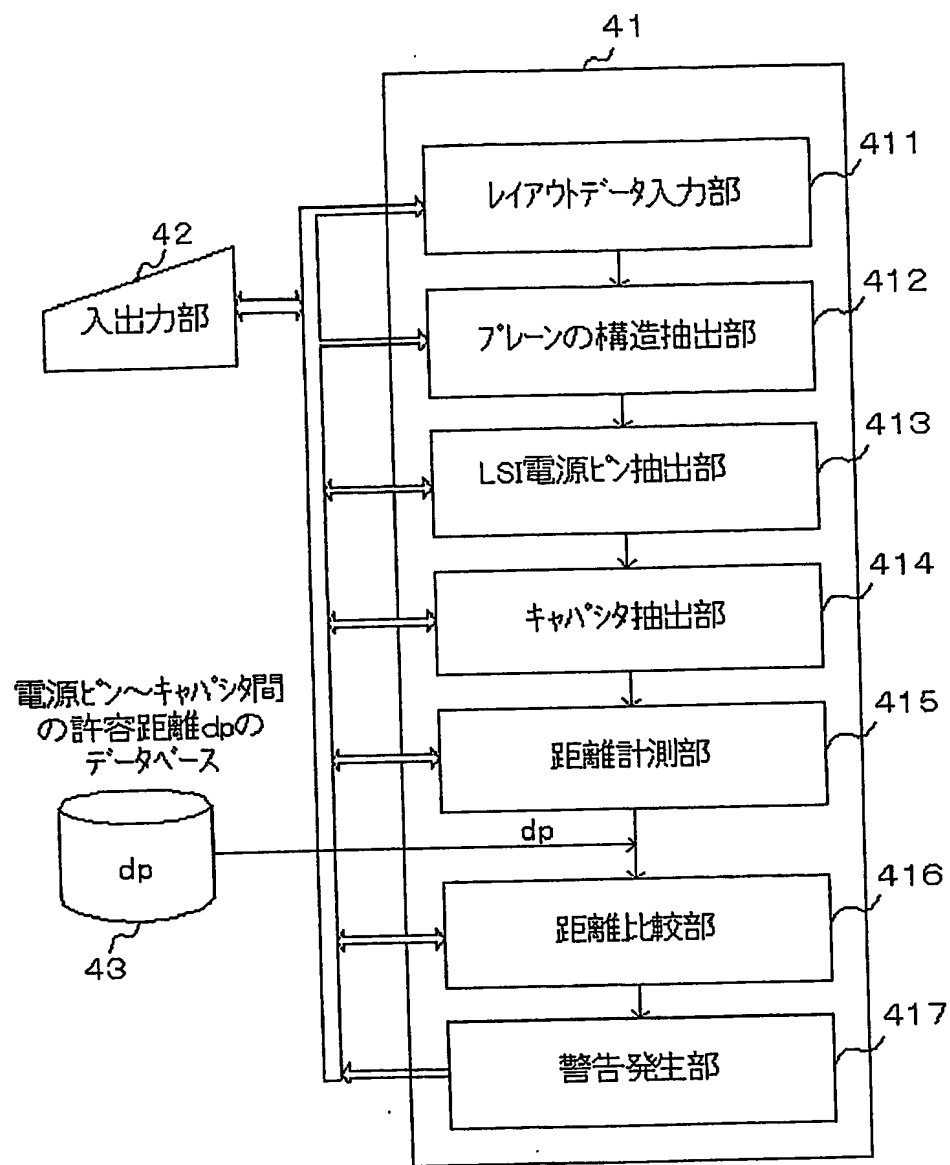
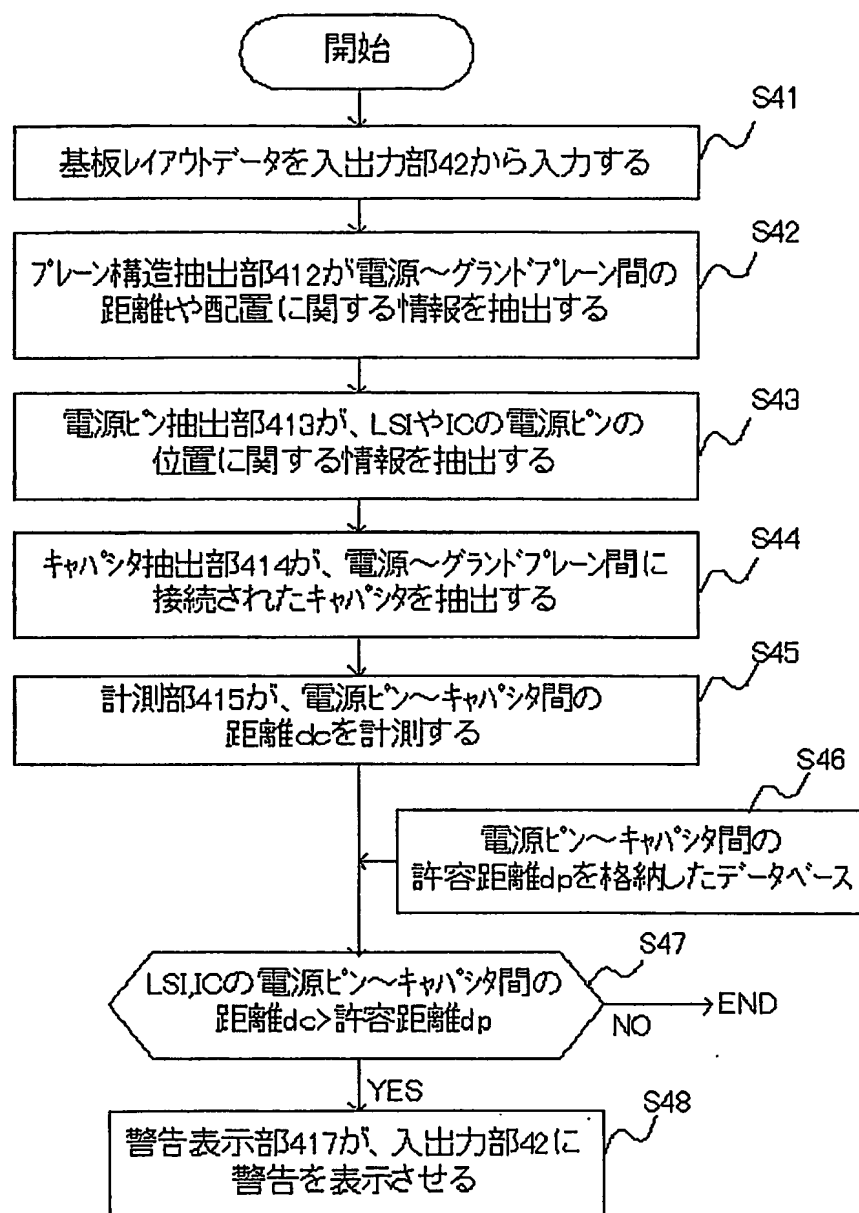


図 1 6



25/37

図 1 7



26/37

図 1 8 A

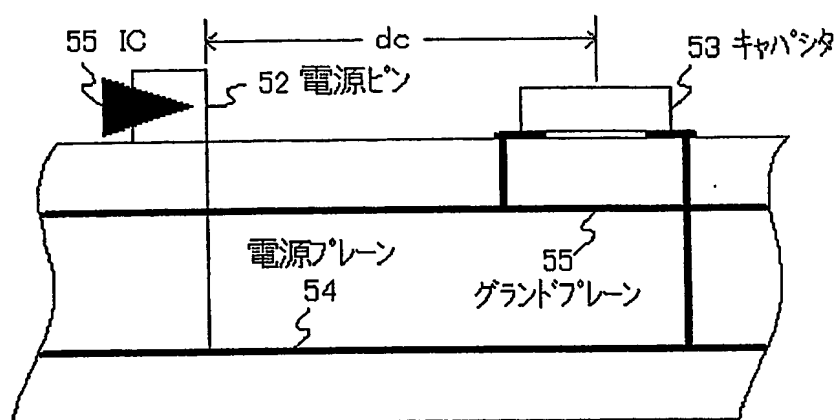
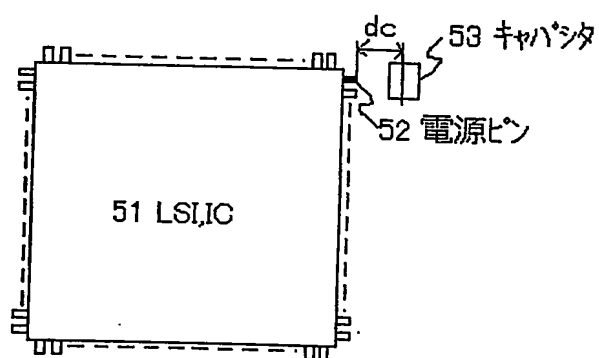


図 1 8 B



28/37

図 1 8 C

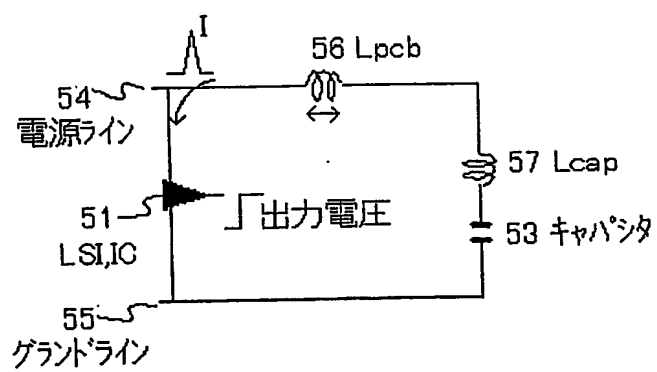


図 19

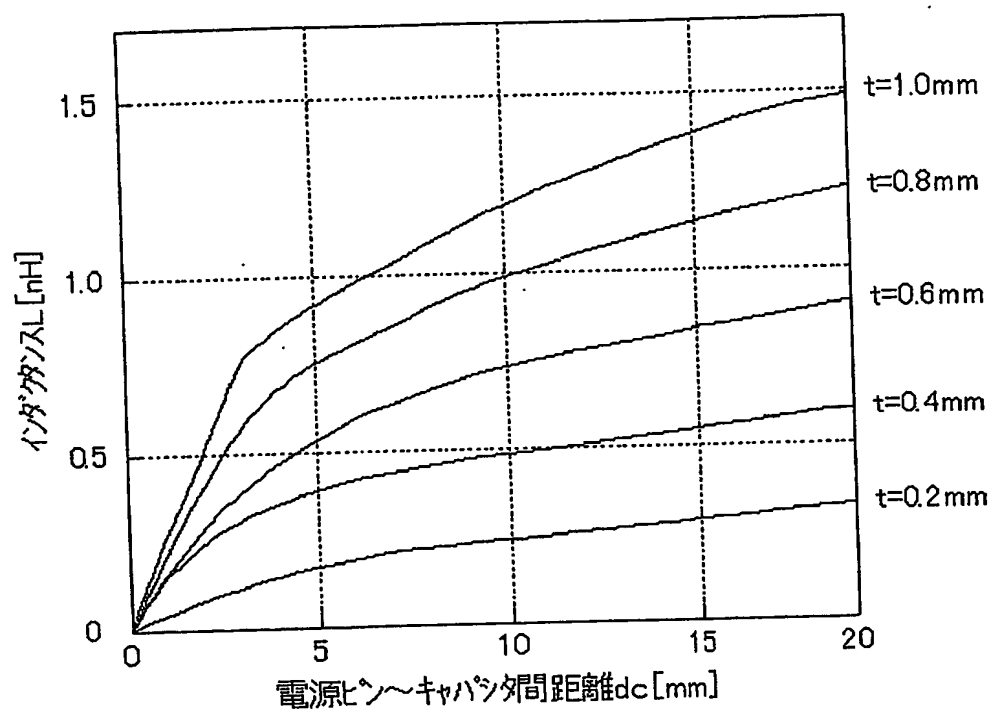


図 20 A

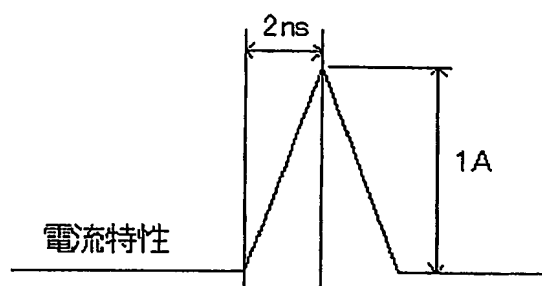


図 2 0 B

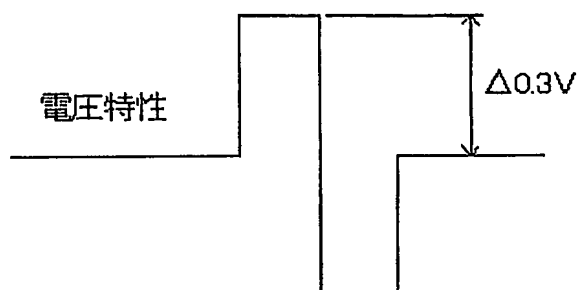


図 20C

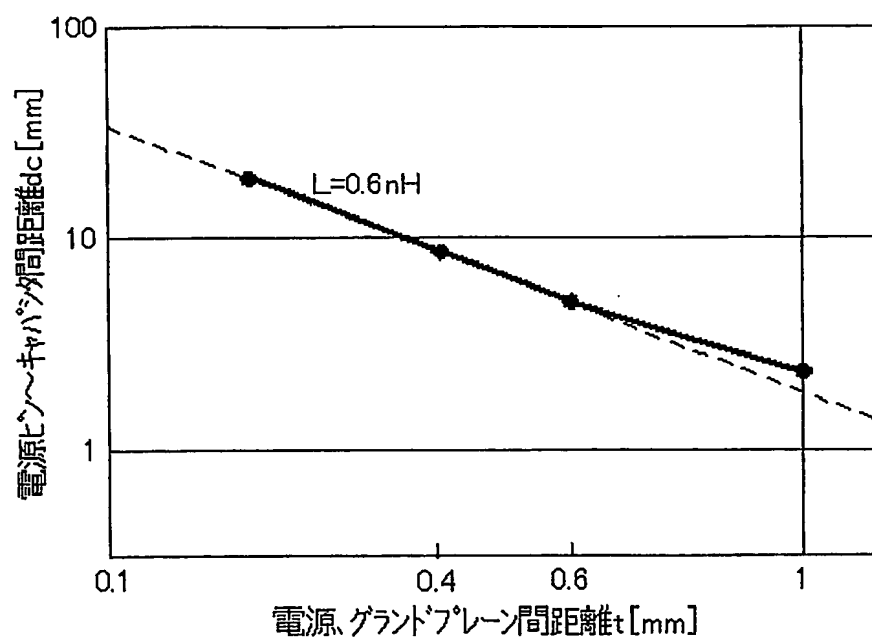


図 2 1

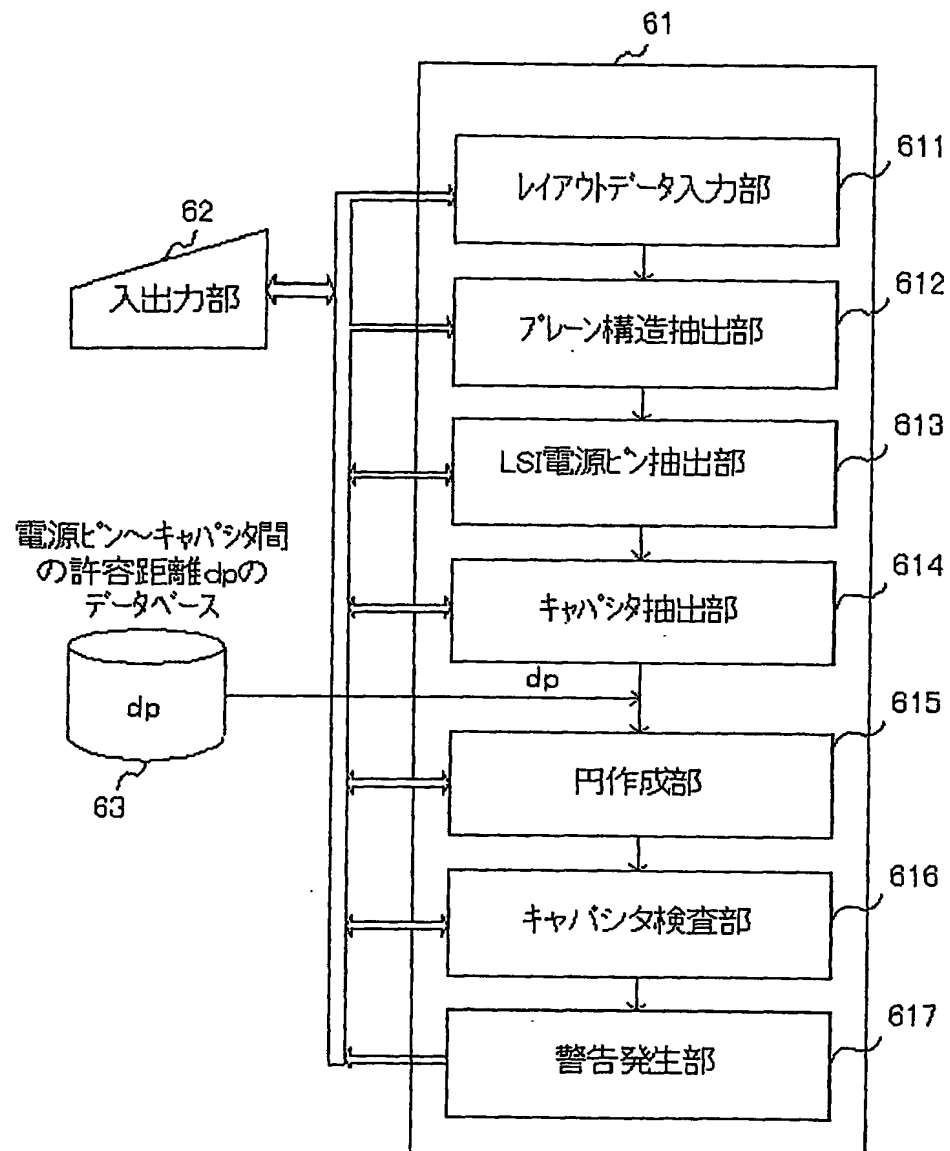


図 2 2

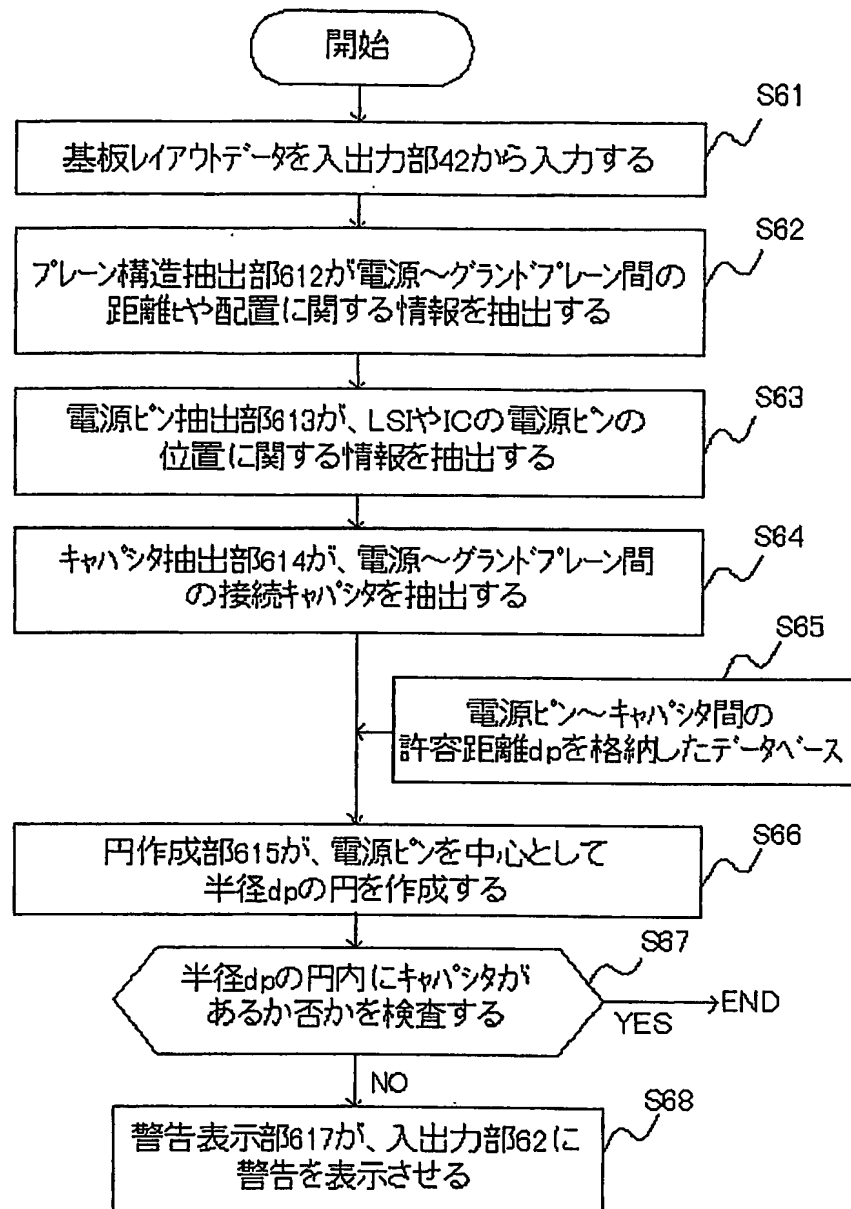


図 2 3

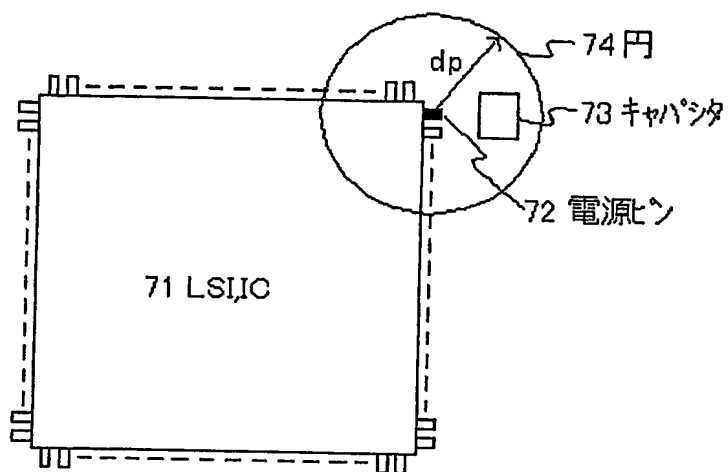


图 24

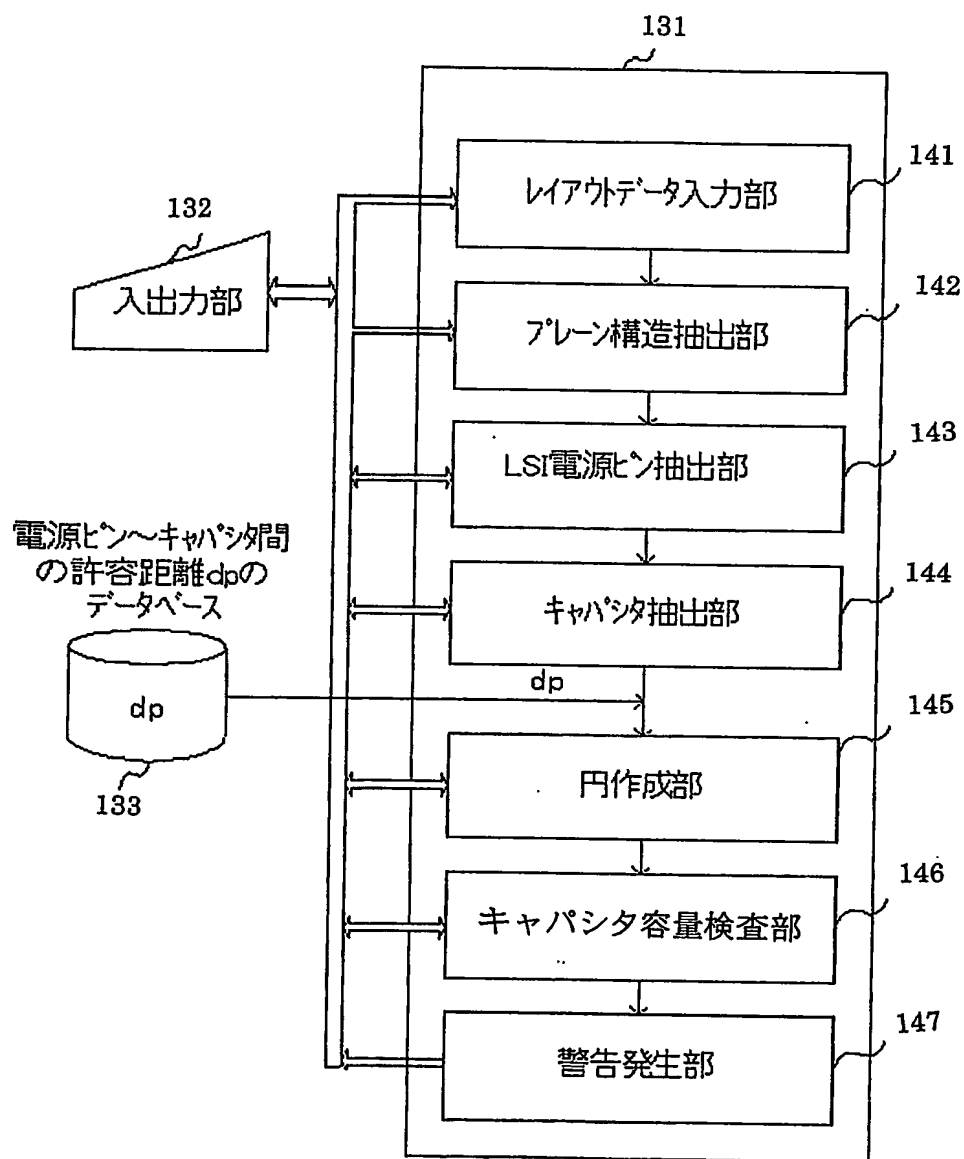
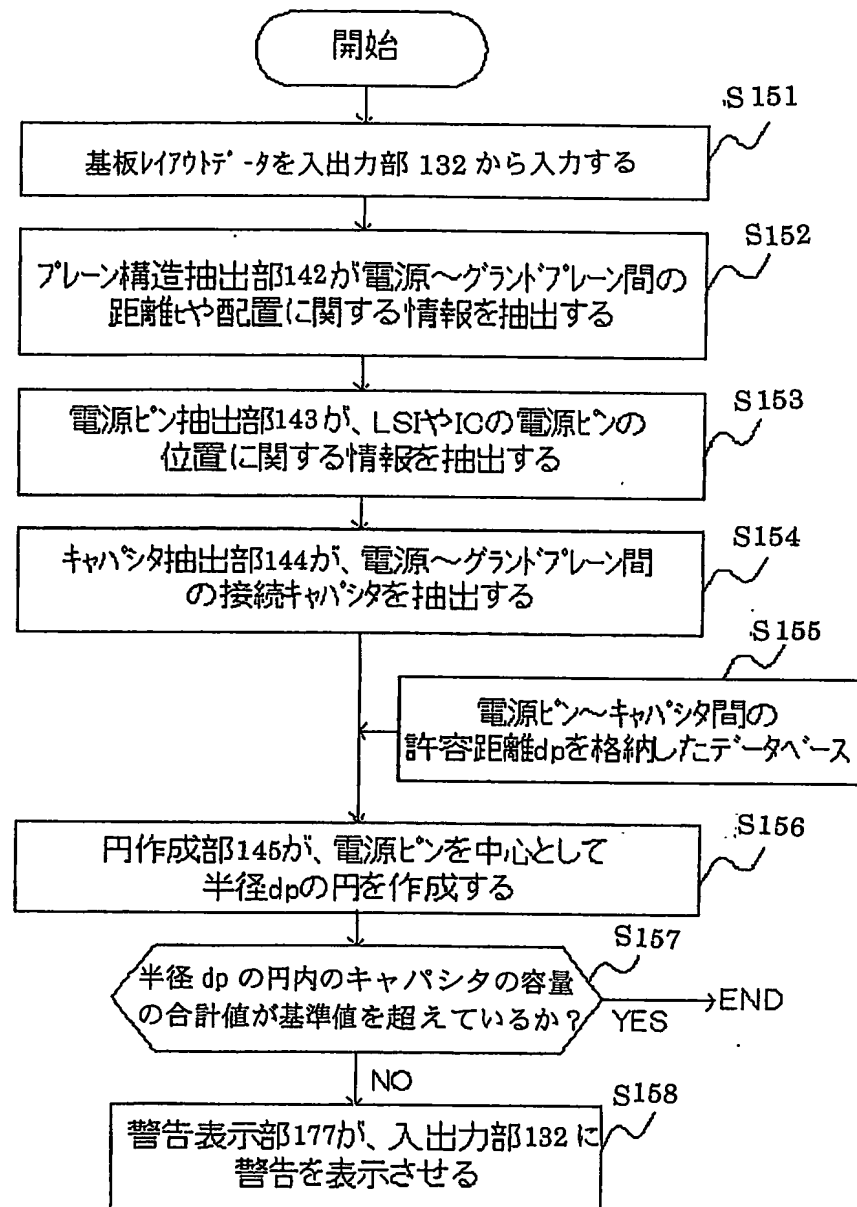


図 2 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008763

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEEExplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-242674 A (Matsushita Electric Industrial Co., Ltd.), 08 September, 2000 (08.09.00), Claims 7, 16; Par. Nos. [0241] to [0246] & US 6691296 A	1-30
A	A. Kamo et al., An Optimization Method for Placement of Decoupling Capacitors on Printed Circuit Board, Proceedings of the IEEE Conference on Electrical Performance of Electronic Packaging, pages 73 to 76, 23 October, 2000 (23.10.00), IEEE, USA, p76 IV. Conclusion	1-30

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 July, 2004 (13.07.04)

Date of mailing of the international search report
27 July, 2004 (27.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F17/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE explore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2000-242674 A (松下電器産業株式会社) 2000.09.08 請求項7, 16, 【0241】-【0246】 & US 6691296 A	1-30
A	A. Kamo et al., An Optimization Method for Placement of Decoupling Capacitors on Printed Circuit Board, Proceedings of the IEEE Conference on Electrical Performance of Electronic Packaging, p73-76, 2000.10.23, IEEE, USA, p76 IV. Conclusion	1-30

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

13.07.2004

国際調査報告の発送日

27.7.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 幸雄

5H

9191

電話番号 03-3581-1101 内線 3531